

## 明 細 書

### 磁気ランダムアクセスメモリ

#### 技術分野

- [0001] 本発明は、磁気ランダムアクセスメモリ(magnetic random access memory:以下、「MRAM」という。)に関する。本発明は、特に、ヨークが設けられた配線に書き込み電流が流されるMRAMに関する。

#### 背景技術

- [0002] MRAMは、高速書き込みが可能であり、且つ、大きな書き換え回数を有する有力な不揮発性メモリである。典型的なMRAMは、メモリセルとして機能する複数の磁気抵抗素子が行列に配列されたメモリセルアレイを含む。磁気抵抗素子は、固定された自発磁化を有する固定強磁性層と、反転可能な自発磁化(以下、単に「磁化」という。)を有する自由強磁性層と、固定強磁性層と自由強磁性層との間に介設されたスペーサ層とを含む。自由強磁性層は、その磁化の向きが、固定強磁性層の磁化の向きと平行、又は反平行のいずれかに向き得るように形成される。
- [0003] かかる磁気抵抗素子は、1ビットのデータを、固定強磁性層と自由強磁性層との磁化の相対方向として記憶する。磁気抵抗素子は、固定強磁性層の磁化と自由強磁性層の磁化とが平行である”平行”状態と、それらの磁化が反平行である”反平行”状態の2つの状態を取り得る。”平行”状態と、”反平行”状態とのうちの一方は”0”に、他方は”1”に対応付けられ、磁気抵抗素子は、1ビットのデータを記憶することができる。
- [0004] 磁気抵抗素子へのデータの書き込みは、磁気抵抗素子の近傍に設けられた配線に書き込み電流を流して磁界を発生し、該磁界によって自由強磁性層の磁化を所望の方向に向けることによって行われる。電流の方向は、向けられるべき自由強磁性層の磁化の方向に応じて選択される。
- [0005] MRAMの消費電流を抑制するために、自由強磁性層の磁化を反転させる電流(書き込み電流)の低減が求められている。書き込み電流を低減する技術の一つは、書き込み電流が流される配線の周囲に強磁性体で形成されたヨークを設けることで

ある。ヨークは、MRAMのメモリセルに磁界を集中させ、書き込み電流を有効に低減する。ヨークを備えたMRAMは、例えば、特開2002-110938号公報、米国特許公報第6、211、090号、特表2002-522915号公報、特開平9-204770号公報に開示されている。

- [0006] その一方で、書き込み電流を有効に低減するヨークは、その形状異方性により、不所望なバイアス磁界の発生源となり得る。バイアス磁界とは、書き込み電流が流されていない状態で磁気抵抗素子に印加される磁界である。
- [0007] 図35A、35Bは、典型的なMRAMの構造を示す。図35Aに示されているように、書き込み電流が流される配線101が、x軸方向に延伸するように設けられ、配線102がy軸方向に延伸するように設けられる。配線101と配線102とが交差する位置に、磁気抵抗素子103が設けられる。図35Bに示されているように、ヨーク104は、配線101の上面及び側面を被覆するように、且つ、その端が、配線101の端と位置整合するように形成される。
- [0008] ヨーク104は、配線101の形状に対応した形状を有し、従って、配線101が延設される方向に長い形状に形成される。このようなヨーク102の形状異方性は、ヨーク104の磁化を、配線101が延設される方向に向きやすくする。配線101の幅が微細化されるほど、ヨーク104の形状異方性は強くなり、ヨーク104の磁化は配線101が延設される方向に向きやすくなる。
- [0009] ヨーク104の磁化が、配線101が延設される方向に向くことにより、ヨーク104のx軸方向の端104aには磁極が生成される。この磁極は、配線101が延設される方向にバイアス磁界を発生させる。配線101の長さが $100\ \mu\text{m}$ 、幅が $1\ \mu\text{m}$ 、厚さが $0.3\ \mu\text{m}$ であり、ヨーク104の厚さが $50\text{nm}$ であり、且つNiFeで形成されているとしよう。この場合、ヨーク104の端104aに生じる磁極により、端104aから放射されるバイアス磁界は、配線101の端からのx軸方向の距離が $10\ \mu\text{m}$ 、配線101の底面からの距離が $0.1\ \mu\text{m}$ である位置において、x軸方向に約 $10\ (\text{Oe})$ の強さを有する。
- [0010] ヨークが発生するバイアス磁界は、MRAMの動作に様々な影響を及ぼす。第1に、ヨークが発生するバイアス磁界の強さは、メモリセルアレイ内の位置によって異なるため、該バイアス磁界は、磁気抵抗素子の特性のバラツキの発生の原因となる。これ

は、書き込み電流のマージンを小さくし、好ましくない。

[0011] 更に、磁気抵抗素子の磁気異方性の方向が、ヨークが発生するバイアス磁界の方向と垂直である場合には、ヨークが発生するバイアス磁界は、磁気抵抗素子の自由強磁性層の抗磁場を小さくし、熱擾乱による磁化の反転を起こしやすくする。ヨークによるバイアス磁界の発生は、MRAMのデータ保持の信頼性を低下させ好ましくない。

[0012] 特開2002-299574号公報、特開2002-280526号公報、特開2001-273759号公報は、磁気クロストークを回避するためのMRAMの構造を開示している。しかし、開示されている構造は、ヨークによるバイアス磁界の発生に対処するためのものではない。

特許文献1:特開2002-110938号公報

特許文献2:米国特許公報第6,211,090号

特許文献3:特表2002-522915号公報

特許文献4:特開平9-204770号公報

特許文献5:特開2002-299574号公報

特許文献6:特開2002-280526号公報

特許文献7:特開2001-273759号公報

#### 発明の開示

[0013] 本発明の目的は、磁気抵抗素子に磁界を集中させるために配線に設けられたヨークの磁気異方性に起因して発生するバイアス磁界が、MRAMの動作に及ぼす影響を抑えるための技術を提供することにある。

本発明の他の目的は、磁気抵抗素子に磁界を集中させるために配線に設けられたヨークが発生するバイアス磁界を、磁気抵抗素子に印加されにくくする技術を提供することにある。

[0014] 一の観点において、本発明によるMRAMは、第1方向に磁気異方性を有する複数の磁気抵抗素子と、第1方向と異なる第2方向に延設され、且つ、磁気抵抗素子にデータを書き込むための書き込み電流が流される配線と、配線の表面の少なくとも一部を被覆するヨーク層とを備えている。ヨーク層は、強磁性体で形成され、且つ、第2

方向に延設されている。複数の磁気抵抗素子は、第1磁気抵抗素子と、ヨーク層の第2方向における端からの距離が、該第1磁気抵抗素子よりも遠い第2磁気抵抗素子とを含む。ヨーク層の端に近い第1磁気抵抗素子が有する磁気異方性は、ヨーク層の端から遠い第2磁気抵抗素子が有する磁気異方性よりも強い。ヨーク層の端に近い第1磁気抵抗素子がより強い磁気異方性を有することは、ヨーク層が第2方向に発生するバイアス磁界による抗磁界の減少を補償し、熱擾乱による第1磁気抵抗素子の磁化の反転を有効に防止する。

[0015] 磁気異方性の調節は、例えば、第1磁気抵抗素子の形状によって達成され得る。具体的には、第1磁気抵抗素子と第1磁気抵抗素子とは、第1磁気抵抗素子の第2方向における幅に対する、第1磁気抵抗素子の第1方向における長さの比である第1縦横比は、第2磁気抵抗素子の第2方向における幅に対する、第2磁気抵抗素子の第1方向における長さの比である第2縦横比よりも大きくなるように設計され得る。

[0016] 他の観点において、本発明によるMRAMは、磁気抵抗素子と、磁気抵抗素子にデータを書き込むための書き込み電流が流される第1配線と、第1配線の表面の少なくとも一部を被覆する第1ヨーク層と、第1ヨーク層の端に生じる磁極が発生するバイアス磁界を、該磁気抵抗素子から逸らすように誘導する磁界制御構造体とを備えている。第1ヨーク層は、強磁性体で形成され、第1配線が延伸する第1方向に延設されている。第1ヨーク層が発生するバイアス磁界を磁気抵抗素子から逸らすように誘導する磁界制御構造体は、磁気抵抗素子に鎖交するバイアス磁界を有効に減少する。従って、該磁界制御構造体は、第1ヨーク層が発生するバイアス磁界が磁気抵抗素子の特性に及ぼす影響を抑制することができる。

[0017] より具体的には、前記磁界制御構造体は、第1ヨーク層の端と、磁気抵抗素子との間に位置する磁気遮蔽構造体を含むことが好適である。磁気遮蔽構造体は、第1配線に対して斜めに交差することが好適である。斜めに交差する磁気遮蔽構造体は、多くのバイアス磁界をその内部に誘導し、磁気抵抗素子に鎖交するバイアス磁界を有効に減少する。

[0018] 当該MRAMの製造工程を簡略化するためには、磁界遮蔽構造体は、磁気抵抗素子の少なくとも一部と共通の積層構造を有することが好適である。

- [0019] 当該MARMは、更に、当該MRAMに含まれる全ての磁気抵抗素子へのデータの書き込みに使用されず、第1方向と異なる第2方向に延設され、且つ、第1ヨーク層の端と磁気抵抗素子との間に位置する第2配線と、第2配線の表面の少なくとも一部を被覆する第2ヨーク層とを備えていることが好適である。第2ヨーク層は、該磁気遮蔽構造体として機能する。第2配線と第2ヨーク層とは、既述の配線とヨーク層と同一の工程で形成可能であり、このような構造は、当該MRAMの製造工程を有効に簡略化する。
- [0020] 当該MRAMが、更に、ヨーク層を被覆するスペーサ層を備えている場合、磁界制御構造体は、スペーサ層を被覆する磁性体層を含み、磁性体層は、ヨーク層の前記端のうちの一方から放出される磁界を、前記ヨーク層の前記端の他方に誘導することが好適である。このような構成は、ヨーク層と磁性体層とを閉磁路として機能させ、ヨーク層の端から放出されるバイアス磁界が磁気抵抗素子に鎖交することを有効に防止する。
- [0021] このためには、ヨーク層と磁性体層との磁化は、逆方向に向いていることが好適である。更に、スペーサ層は、ヨーク層と磁性体層とが、反強磁性的に結合するように、より好適には、反強磁性的な交換結合によって結合されるように形成されていることが好適である。
- [0022] 当該MRAMが、更に、前記第1方向に延設された第2配線と、強磁性体で形成され、第1方向に延設され、且つ、第2配線の表面の少なくとも一部を被覆する第2ヨーク層とを備えている場合、前記磁界制御構造体は、第1ヨーク層と第2ヨーク層とを磁氣的に結合する磁性体部材を含むことが好適である。
- [0023] 例えば、第2配線が、第1方向と垂直な第2方向において第1配線に隣接する場合、該磁性体部材は、第1ヨーク層の一端と、第2ヨーク層の一端とを磁氣的に結合する第1磁性体部材と、第1ヨーク層の他端と、第2ヨーク層の他端とを磁氣的に結合する第2磁性体部材とを含むことが好適である。このような構造は、第1ヨーク層、第2ヨーク層、第1磁性体部材、及び第2磁性体部材に閉磁路を構成させてバイアス磁界を循環させ、第1ヨーク層及び第2ヨーク層が第1方向の端から放出するバイアス磁界が磁気抵抗素子に鎖交することを有効に防止する。

- [0024] 第1配線と第2配線とは、それぞれ、単一であると限定して解釈されてはならない。3以上の配線を被覆するヨーク層が、第1磁性体部材及び第2磁性体部材に磁氣的に結合し得ると解釈されなくてはならない。
- [0025] この場合、当該MRAMは、更に、第1磁性体部材と第2磁性体部材との間に介設された第3磁性体部材と、磁気抵抗素子に対して前記第3磁性体部材の反対側に位置し、且つ、前記第1磁性体部材と前記第2磁性体部材との間に介設された第4磁性体部材とを備えていることが好適である。第3磁性体部材と第4磁性体部材とは、第1ヨーク層及び第2ヨーク層が発生するバイアス磁界の循環を促進し、該バイアス磁界が磁気抵抗素子に鎖交することを有効に防止する。
- [0026] また、このような構成は、第2配線が、第1配線に、第1方向において隣接する場合にも適用可能である。
- [0027] 当該MRAMが、更に、第1方向に延設され、第1配線に第1方向において隣接する第2配線と、強磁性体で形成され、前記第1方向に延設され、且つ、前記第2配線の表面の少なくとも一部を被覆する第2ヨーク層とを備えている場合、第2ヨーク層は、第1ヨーク層と磁氣的に結合する程度に第1ヨーク層に近接して設けられることにより、上記の磁界制御構造体として機能することが可能である。
- [0028] 更に他の観点において、本発明によるMRAMは、磁気抵抗素子と、磁気抵抗素子にデータを書き込むための書き込み電流が流される配線と、強磁性体で形成され、前記配線が延伸する方向に延設され、且つ、前記配線の表面の少なくとも一部を被覆するヨーク層とを備えている。該ヨーク層の端は、該端から放射される磁界が磁気抵抗素子の特性に実質的に影響を及ぼさない程度に十分に離されている。
- [0029] より定量的には、磁気抵抗素子のうちヨーク層の端に最近接するものを最近接磁気抵抗素子と呼ぶとき、該ヨーク層の端は、端に生じる磁極が最近接磁気抵抗素子に鎖交させる磁界が、前記磁気抵抗素子の自由強磁性層の真性の抗磁界の5分の一以下になる程度に、前記最近接磁気抵抗素子から離れて位置することが好適である。自由強磁性層の真性の抗磁界とは、該自由強磁性層の磁気異方性の向きと垂直な方向に磁界が印加されていないときの、該自由強磁性層の抗磁界を意味する。ヨーク層の端から最近接磁気抵抗素子の距離が離されることにより、ヨーク層の端に生

じる磁極が磁気抵抗素子に鎖交させる磁界が小さくなる。

- [0030] 本発明の更に他の観点において、MRAMは、第1方向に延設された複数の第1配線と、第1方向異なる第2方向に延設された複数の第2配線と、第1配線のそれぞれの少なくとも一部を被覆する第1ヨーク層と、第1配線と第2配線とが交差する交点のそれぞれに配置された磁気抵抗素子とを備えている。第1ヨーク層の第1方向における第1端は、第1端に最近接する最近接磁気抵抗素子から第1端への距離が、第2配線の最小ピッチ以上であるように最近接磁気抵抗素子から離れて位置する。第1ヨーク層の端から最近接磁気抵抗素子の距離が離されることにより、第1ヨーク層の端に生じる磁極が磁気抵抗素子に鎖交させる磁界が小さくなる。

- [0031] 当該MRAMが、第2配線のそれぞれの少なくとも一部を被覆する第2ヨーク層を有する場合、第2ヨーク層の第2方向における第2端は、第1端に最近接する最近接磁気抵抗素子から第1端への距離が、第1配線の最小ピッチ以上であるように最近接磁気抵抗素子から離れて位置する。第2ヨーク層の端から最近接磁気抵抗素子の距離が離されることにより、第2ヨーク層の端に生じる磁極が磁気抵抗素子に鎖交させる磁界が小さくなる。

- [0032] 以上に説明されているように、本発明は、磁気抵抗素子に磁界を集中させるために配線に設けられたヨークによって発生されるバイアス磁界がMRAMの動作に及ぼす影響を抑えるための技術を提供することができる。

#### 図面の簡単な説明

- [0033] [図1]図1は、本発明によるMRAMの実施の第1形態を示す上面図である。  
[図2]図2は、本発明によるMRAMの実施の第1形態を示す断面図である。  
[図3]図3は、本発明によるMRAMの実施の第1形態を示す断面図である。  
[図4]図4は、本発明によるMRAMの実施の第2形態を示す上面図である。  
[図5]図5は、本発明によるMRAMの実施の第2形態を示す断面図である。  
[図6]図6は、本発明によるMRAMの実施の第2形態を示す断面図である。  
[図7]図7は、磁気遮蔽構造体26の作用を示す図である。  
[図8]図8は、実施の第2形態のMRAMの変形例を示す断面図である。

[図9]図9は、実施の第2形態のMRAMの変形例を示す平面図である。

[図10]図10は、実施の第2形態のMRAMの他の変形例を示す断面図である。

[図11]図11は、実施の第2形態のMRAMの他の変形例を示す平面図である。

[図12]図12は、実施の第2形態のMRAMの更に他の変形例を示す断面図である。

[図13]図13は、実施の第2形態のMRAMの更に他の変形例を示す断面図である。

[図14]図14は、実施の第2形態のMRAMの更に他の変形例を示す平面図である。

[図15]図15は、実施の第2形態のMRAMの更に他の変形例を示す断面図である。

[図16]図16は、実施の第2形態のMRAMの更に他の変形例を示す断面図である。

[図17]図17は、本発明によるMRAMの実施の第3形態を示す断面図である。

[図18]図18は、本発明によるMRAMの実施の第3形態を示す断面図である。

[図19]図19は、本発明によるMRAMの実施の第3形態の変形例を示す断面図である。

[図20]図20は、本発明によるMRAMの実施の第4形態を示す平面図である。

[図21]図21は、本発明によるMRAMの実施の第4形態を示す断面図である。

[図22]図22は、本発明によるMRAMの実施の第4形態を示す断面図である。

[図23]図23は、本発明によるMRAMの実施の第4形態の変形例を示す断面図である。

[図24]図24は、本発明によるMRAMの実施の第4形態の他の変形例を示す断面図である。

[図25]図25は、本発明によるMRAMの実施の第4形態の他の変形例を示す平面図である。

[図26]図26は、本発明によるMRAMの実施の第4形態の更に他の変形例を示す断面図である。

[図27]図27は、本発明によるMRAMの実施の第4形態の更に他の変形例を示す断面図である。

[図28]図28は、本発明によるMRAMの実施の第4形態の更に他の変形例を示す平面図である。

[図29]図29は、本発明によるMRAMの実施の第4形態の更に他の変形例を示す平



面図である。

[図30]図30は、本発明による実施の第5形態のMRAMを示す平面図である。

[図31]図31は、実施の第5形態のMRAMを示す断面図である。

[図32]図32は、実施の第5形態のMRAMの変形例を示す断面図である。

[図33]図33は、実施の第5形態のMRAMの変形例を示す平面図である。

[図34]図34は、本発明による実施の第6形態のMRAMを示す平面図である。

[図35A]図35Aは、従来のMRAMを示す断面図である。

[図35B]図35Bは、従来のMRAMを示す断面図である。

### 発明を実施するための最良の形態

[0034] 以下、添付図面を参照しながら、本発明によるMRAMの実施の形態を説明する。

[0035] (実施の第1形態)

実施の第1形態では、図1に示されているように、上書き込み配線11がx軸方向に延伸するように設けられ、下書き込み配線12がx軸方向と垂直なy軸方向に延伸するように設けられる。磁気抵抗素子13が、上書き込み配線11と下書き込み配線12との交点のそれぞれに設けられる。図2に示されているように、磁気抵抗素子13は、自由強磁性層13aと固定強磁性層13bと、それらの間に介設されたスペーサ層13cとを含んで構成されている。自由強磁性層13aは、メタルキャップ層16を介して上書き込み配線11に電氣的に接続されている。固定強磁性層13bは、下書き込み配線12の上に形成され、下書き込み配線12に電氣的に接続されている。磁気抵抗素子13のそれぞれは、自由強磁性層13aの磁化の方向として1ビットのデータを保持する。磁気抵抗素子13は、y軸方向に長い形状に形成され、磁気抵抗素子13の磁気異方性は、y軸方向に平行に向けられている。

[0036] 図2に示されているように、上書き込み配線11は、導体の上面及び側面は、ヨーク層14によって被覆され、図3に示されているように、下書き込み配線12の底面及び側面は、ヨーク層15によって被覆される。ヨーク層14、15は、いずれも、磁氣的にソフトな強磁性体で形成される。図3に示されているように、ヨーク層14は、そのx軸方向における端14a、14bが、上書き込み配線11の端11a、11bにそれぞれ位置整合するように形成される。更に、図2に示されているように、ヨーク層15は、そのy軸方向

における端15a、15bが、下書き込み配線12の端12a、12bにそれぞれ位置整合するように形成される。従って、ヨーク層14はx軸方向に長い形状を有し、ヨーク層15は、y軸方向に長い形状を有する。

[0037] 図3に示されているように、ヨーク層14は、その形状異方性により、x軸方向にバイアス磁界 $H_x$ を発生する。x軸方向に長いヨーク層の形状異方性により、ヨーク層14の磁化はx軸方向に向けられる。この磁化により、ヨーク層14の端14a、14bには磁極が発生し、その磁極により、x軸方向にバイアス磁界が発生される。

[0038] ヨーク層14の端14a、14bに発生する磁極がx軸方向に放射する磁界は、ヨーク層14の端14a、14bに近い磁気抵抗素子13に記憶されるデータの熱擾乱に対する耐性を弱める。磁気抵抗素子13のそれぞれにx軸方向に印加されるバイアス磁界 $H_x$ の強さは、ヨーク層14の端14a、14bからの距離が近いほど強い。更に、ある磁気抵抗素子13の抗磁界(反転磁界)は、その磁気抵抗素子13に印加されるバイアス磁界 $H_x$ が強いほど小さくなる。従って、ヨーク層14の端14a、14bに近いほど、磁気抵抗素子13の抗磁界は弱くなり、従って、その磁気抵抗素子13の熱擾乱に対する耐性は弱くなる。

[0039] ヨーク層14の端14a、14bからの距離が近い磁気抵抗素子13の熱擾乱に対する耐性を補強するために、ヨーク層14の端14a、14bに近い磁気抵抗素子13(即ち、上書き込み配線11の端11a、11bに近い磁気抵抗素子13)は、端14a、14bから遠い磁気抵抗素子13よりも、強い磁気異方性が与えられる。より数学的に表現すれば、ある磁気抵抗素子13の磁気異方性は、ヨーク層14の2の端14a、14bのうち、その磁気抵抗素子13に近い方の端からの距離の逆数に対して広義に単調に増加するように定められる。ヨーク層14の端14a、14bに近い磁気抵抗素子13に大きな磁気異方性が与えられることにより、強いバイアス磁界の印加による磁気抵抗素子13の熱擾乱に対する耐性の低下がキャンセルされる。

[0040] ヨーク層14の端14a、14bに近いほど強い磁気異方性を磁気抵抗素子13に与えるために、図1に示されているように、ヨーク層14の端14a、14bに近い磁気抵抗素子13は、ヨーク層14の端14a、14bから遠い磁気抵抗素子13よりもy軸方向に細長く形成される。即ち、磁気抵抗素子13のy軸方向の幅 $w$ 及びx軸方向の長さ $L$ を用いて磁

磁気抵抗素子13の縦横比Rを下記式：

$$R=L/w、$$

によって定義したとき、磁気抵抗素子13のそれぞれは、ヨーク層14の端14a、14bのうちの近い一端からの磁気抵抗素子13の距離dの逆数に対して、磁気抵抗素子13の縦横比Rが広義に単調に増加するような形状に形成されている。図1では、ヨーク層14の端14a、14bに最も近い磁気抵抗素子13は、その縦横比Rが、他の磁気抵抗素子13の縦横比Rよりも大きくなるような形状に形成されている。ただし、磁気抵抗素子13の抵抗を実質的に同一にするために、磁気抵抗素子13の面積（即ち、スペーサ層13cが、自由強磁性層13aに接合する面の面積）は、いずれの磁気抵抗素子13でも実質的に同一にされる。このような磁気抵抗素子13の形状は、ヨーク層14によってx軸方向に発生されるバイアス磁界に起因する熱擾乱に対する耐性の減少を補償する。

[0041] このように、本実施の形態では、ヨーク層14がx軸方向に発生するバイアス磁界による熱擾乱の低下がキャンセルされ、MRAMの動作の信頼性が向上される。

[0042] （実施の第2形態）

実施の第2形態では、図4に示されているように、複数の上書き込み配線21がx軸方向に延設され、複数の下書き込み配線22がx軸方向に延設される。図5に示されているように、磁気抵抗素子23が、上書き込み配線21と下書き込み配線22との交点のそれぞれに配置される。磁気抵抗素子23は、行列に並んで配置され、メモリセルアレイを構成する。磁気抵抗素子23は、自由強磁性層（図示されない）と固定強磁性層（図示されない）と、それらの間に介設されたスペーサ層（図示されない）を含む。磁気抵抗素子23のそれぞれは、自由強磁性層の磁化の方向として1ビットのデータを記憶する。

[0043] 図5に示されているように、上書き込み配線21の上面と側面とは、強磁性体で形成されたヨーク層24で被覆される。図6に示されているように、ヨーク層24の端24a、24bは、上書き込み配線21の端21a、21bとそれぞれ位置整合している。x軸方向に長いヨーク層24の形状は、ヨーク層24の磁化をx軸方向に向かせ、ヨーク層24にx軸方向のバイアス磁界を発生させる。

- [0044] 同様に、下書き込み配線22の底面と側面とは、強磁性体で形成されたヨーク層25で被覆される。図5に示されているように、ヨーク層25の端25a、25bは、下書き込み配線22の端22a、22bと位置整合している。y軸方向に長いヨーク層25の形状は、ヨーク層25の磁化をy軸方向に向かせ、ヨーク層25にy軸方向のバイアス磁界を発生させる。
- [0045] 図4に示されているように、磁気抵抗素子23で構成されるメモリセルアレイをxy平面に平行な平面内で取り囲むように、磁性体膜を含む磁気遮蔽構造体26が形成されている。図5に示されているように、磁気遮蔽構造体26は、上書き込み配線21の下方、且つ、下書き込み配線22の上方に形成されている。図6に示されているように、磁気遮蔽構造体26は、上書き込み配線21の端21a、21b(即ち、ヨーク層24の端24a、24b)と磁気抵抗素子23のアレイとの間を通過している。更に磁気遮蔽構造体26は、図5に示されているように、下書き込み配線22の端22a、22bと磁気抵抗素子23のアレイとの間を通過している。このような構造を有する磁気遮蔽構造体26は、ヨーク層24及びヨーク層25が発生するバイアス磁界をその内部に誘導し、該バイアス磁界が磁気抵抗素子23に鎖交することを妨げる。かかる作用に、磁気遮蔽構造体26は、磁気抵抗素子23に印加されるバイアス磁界を有効に減少する。
- [0046] 磁気抵抗素子23に印加されるバイアス磁界をより減少するためには、磁気遮蔽構造体26は、上書き込み配線21の端21a、21b及び下書き込み配線22の端22a、22bに対して凸になるように、且つ、上書き込み配線21及び下書き込み配線22に対して斜めに交差するように形成されていることが好適である。このような磁気遮蔽構造体26の構造は、ヨーク層24及びヨーク層25が発生するバイアス磁界を、より多く磁気遮蔽構造体26の内部に通過させ、磁気抵抗素子23に印加されるバイアス磁界の減少に有効である。
- [0047] 例えば、図7に示されているように、磁気遮蔽構造体26のうちの部分26a、26bの遮蔽効果について考察する。バイアス磁界Hは、部分26a、26bに向かう方向に印加される。部分26a、26bは、バイアス磁界Hの上流側に向かって凸になるようにV字型をなすように配設された板材であり、部分26a、26bは、幅 $1\mu\text{m}$ 、厚さ $50\text{nm}$ のNiFeで形成されている。バイアス磁界Hの下流側の、部分26a、26bからの距離が $3\mu\text{m}$

の位置における磁界の大きさは、磁気遮蔽構造体26がない場合の磁界の3分の1以下になる。更に、部分26a、26bからの距離が5  $\mu$  mの位置における磁界の大きさは、磁気遮蔽構造体26がない場合の磁界の約60%になる。

[0048] 本実施の形態において、磁気遮蔽構造体26が磁気抵抗素子23の少なくとも一部と同一の積層構造で構成されていることは、当該MRAMの製造工程の簡略化できる点で好適である。例えば、磁気遮蔽構造体26は、固定強磁性層、自由強磁性層、及びスペーサ層を含む磁気抵抗素子23のうちの、固定強磁性層と同一の積層構造で形成され得る。また、磁気遮蔽構造体26は、固定強磁性層、自由強磁性層、及びスペーサ層と同一の積層構造で形成され得る。

[0049] 更に本実施の形態において、図8に示されているように、磁気遮蔽構造体26は、下書き込み配線22の上面に接合して配置され得る。かかる構造は、磁気遮蔽構造体26が磁気抵抗素子23の少なくとも一部と同一の積層構造で構成され、且つ、磁気抵抗素子23が下書き込み配線22の上面に接合して形成される場合に好適である。磁気遮蔽構造体26が下書き込み配線22の上面に接合して配置される場合、図9に示されているように、磁気遮蔽構造体26に、下書き込み配線22の間に位置するスリット26cが形成される。スリット26cにより、隣接する下書き込み配線22の間の絶縁が保たれる。スリット26cの幅は、下書き込み配線22の間の絶縁が保たれる範囲でなるべく小さく選ばれる。

[0050] 更に、図10に示されているように、磁気遮蔽構造体26は、上書き込み配線21の下面に接合して配置され得る。かかる構造は、磁気遮蔽構造体26が磁気抵抗素子23の少なくとも一部と同一の積層構造で構成され、且つ、磁気抵抗素子23が上書き込み配線21の下面に接合して形成される場合に好適である。磁気遮蔽構造体26が上書き込み配線21の下面に接合して配置される場合、図11に示されているように、磁気遮蔽構造体26に、上書き込み配線21の間に位置するスリット26dが設けられる。スリット26dにより、隣接する上書き込み配線21の間の絶縁が保たれる。スリット26dの幅は、上書き込み配線21の間の絶縁が保たれる範囲でなるべく小さく選ばれる。

[0051] 更に本実施の形態において、更に、図12、及び図13に示されているように、磁気遮蔽構造体26の代わりに、ヨーク層28で被覆された磁気遮蔽用配線27と、ヨーク層

30で被覆された磁気遮蔽用配線29が形成され得る。図14に示されているように、磁気遮蔽用配線27及びヨーク層28は、x軸方向に延設され、磁気遮蔽用配線29及びヨーク層30は、y軸方向に延設される。磁気遮蔽用配線27、29は、磁気抵抗素子23にデータを書き込むためには使用されない。磁気遮蔽用配線27、及びヨーク層28は、図12に示されているように、上書き込み配線21及びヨーク層24と同一の構造を有し、且つ、下書き込み配線22の端22a、22bと上書き込み配線21のアレイとの間に設けられる。磁気遮蔽用配線29、及びヨーク層30は、図13に示されているように、下書き込み配線22及びヨーク層25と同一の構造を有し、且つ、上書き込み配線21の端21a、21bと下書き込み配線22のアレイとの間に設けられる。磁気遮蔽用配線27の側面及び上面に設けられたヨーク層28は、ヨーク層25によってy軸方向に生成されるバイアス磁界をその内部に誘導し、磁気抵抗素子23に鎖交することを効果的に防止する。更に、磁気遮蔽用配線29の側面及び上面に設けられたヨーク層20は、ヨーク層24によってx軸方向に生成されるバイアス磁界をその内部に誘導し、磁気抵抗素子23に鎖交することを効果的に防止する。

[0052] 更に本実施の形態において、図15に示されているように、磁気遮蔽構造体26に加えて、ヨーク層28で被覆された磁気遮蔽用配線27が形成され、更に、図16に示されているように、ヨーク層30で被覆された磁気遮蔽用配線29が形成され得る。磁気遮蔽構造体26とヨーク層28との使用は、ヨーク層25によってy軸方向に生成されるバイアス磁界が磁気抵抗素子23に鎖交することを一層効果的に防止する。更に、磁気遮蔽構造体26とヨーク層30との使用は、ヨーク層24によってx軸方向に生成されるバイアス磁界が磁気抵抗素子23に鎖交することを一層効果的に防止する。

[0053] (実施の第3形態)

図17及び図18は、本発明の実施の第3形態におけるMRAMを示す。実施の第3形態では、ヨーク層の一の端に生じる磁極が発生する磁界が、そのヨーク層の他の端に誘導され、これにより、磁気抵抗素子に印加されるバイアス磁界が減少されている。

[0054] 実施の第3形態では、図18に示されているように、側面及び上面がヨーク層42によって被覆された上書き込み配線41がx軸方向に延設され、図17に示されているよう

に、側面及び下面がヨーク層44によって被覆された下書き込み配線43がy軸方向に延設される。ヨーク層42及びヨーク層44は、NiFeのような導電性の強磁性体で形成される。磁気抵抗素子45が、上書き込み配線41と下書き込み配線42とが交差する位置のそれぞれに設けられる。

[0055] 図17に示されているように、上書き込み配線41を被覆するヨーク層42の側面及び上面は、スペーサ層47で被覆され、そのスペーサ層47の側面及び上面は、強磁性体で形成された磁性体層48で被覆される。図18を参照して、磁性体層48のx軸方向における2つの端は、ヨーク層42の2つの端とそれぞれ位置整合(aligned)される。x軸方向に延設された上書き込み配線41を被覆するヨーク層42及び磁性体層48は、その形状がx軸方向に長い。従って、ヨーク層42及び磁性体層48の磁化は、形状異方性によってx軸方向に向く。x軸方向に向けられた磁化は、ヨーク層42及び磁性体層48のx軸方向の端に磁極を発生させる。

[0056] 図18を参照して、ヨーク層42の端の磁極が放出する磁界が磁気抵抗素子45に印加されることを防ぐために、ヨーク層42の磁化は、磁性体層48の磁化と逆方向に向けられる。これは、ヨーク層42の一端の磁極が発生した磁界の多くを、磁性体層48を通じてヨーク層42の他端に循環させ、ヨーク層42の端に生じる磁極が放出するバイアス磁界が磁気抵抗素子45に印加されることを効果的に防ぐ。

[0057] 例えば、ヨーク層42が50nmのNiFe膜で形成され、磁性体層48が50nmのNiFe膜で形成され、スペーサ層47が厚さ20nmの絶縁体で形成されているとする。この場合、磁性体層48が形成されることにより、ヨーク層42によって磁気抵抗素子45に印加されるバイアス磁界の強さは50分の1以下になる。

[0058] ヨーク層42の磁化を、磁性体層48の磁化と逆方向に向けるために、スペーサ層47は、ヨーク層42と磁性体層48とが磁氣的に強磁性的に結合しないように設計される。スペーサ層47の設計が不適切であると、ヨーク層42と磁性体層48とが交換結合によって強磁性的に結合し得る。ヨーク層42と磁性体層48との間の強磁性的な結合は、ヨーク層42の磁化を磁性体層48の磁化と同一方向に向けるため好ましくない。

[0059] 好適には、スペーサ層47は、ヨーク層42と磁性体層48とが反強磁性的に結合するように設計される。スペーサ層47の材料と厚さとを最適化することによってヨーク層42

と磁性体層48とを反強磁性体的に結合させることができることは、当業者には、自明である。スペーサ層47は、ヨーク層42と磁性体層48とが反強磁性的な交換結合によって磁氣的に結合するように設計されることが好適である。

- [0060] スペーサ層47は、絶縁体と導電体とのいずれで形成されることも可能である。ただし、上書き込み配線41に流される書き込み電流が磁気抵抗素子45に印加する磁界を大きくするためには、スペーサ層47は、絶縁体で形成されることが好適である。スペーサ層47が絶縁体で形成されることにより、書き込み電流が流れる配線(即ち、上書き込み配線41及びヨーク層42)の実効的な太さが小さくなり、磁気抵抗素子45に印加される磁界が増大する。
- [0061] ヨーク層42の磁化を、磁性体層48の磁化と逆方向に向けることを容易にするために、ヨーク層42と磁性体層48とは、それらの抗磁界が異なるように設計される。ヨーク層42と磁性体層48との抗磁界が異なることは、外部磁界の印加によってヨーク層42と磁性体層48との磁化を逆向きにすることを可能にする。例えば、ヨーク層42の抗磁界が、磁性体層48の抗磁界よりも大きいとしよう。この場合、ヨーク層42と磁性体層48との両方の抗磁界のよりも大きい第1磁界をx軸方向に平行に印加した後、磁性体層48の抗磁界よりも大きく、ヨーク層42の抗磁界よりも小さい第2磁界を、第1磁界と逆の方向に印加することにより、ヨーク層42の磁化を、磁性体層48の磁化とを逆方向に向けることが出来る。
- [0062] ヨーク層44、スペーサ層49、及び磁性体層50も、ヨーク層42、スペーサ層47、及び磁性体層48と同様に構成される。図18に示されているように、下書き込み配線43を被覆するヨーク層44の側面及び上面は、スペーサ層49で被覆され、そのスペーサ層49の側面及び上面は、強磁性体で形成された磁性体層50で被覆される。図17を参照して、磁性体層50のy軸方向における2つの端は、ヨーク層44の2つの端とそれぞれ位置整合される。y軸方向に延設された上書き込み配線41を被覆するヨーク層44及び磁性体層50は、その形状がx軸方向に長い。従って、ヨーク層44及び磁性体層50の磁化は、形状異方性によってy軸方向に向く。y軸方向に向けられた磁化は、ヨーク層44及び磁性体層50のy軸方向の端に磁極を発生させる。
- [0063] 図18を参照して、ヨーク層44の端の磁極が放出する磁界が磁気抵抗素子45に印



加されることを防ぐために、ヨーク層44の磁化は、磁性体層50の磁化と逆方向に向けられる。これは、ヨーク層44の一端の磁極が発生した磁界の多くを、磁性体層50を通じてヨーク層44の他端に循環させ、ヨーク層44の端に生じる磁極が放出する磁界が磁気抵抗素子45に印加されることを効果的に防ぐ。

[0064] ヨーク層44の磁化を、磁性体層50の磁化と逆方向に向けるために、スペーサ層49は、ヨーク層44と磁性体層50とが磁氣的に強磁性体的に結合しないように、好適には、ヨーク層44と磁性体層49とが反強磁性体的に結合するように設計される。

[0065] スペーサ層49は、絶縁体と導電体とのいずれで形成されることも可能である。ただし、下書き込み配線41に書き込み電流が流されたときに磁気抵抗素子45に印加する磁界を大きくするためには、スペーサ層49は、絶縁体で形成されることが好適である。

[0066] ヨーク層44の磁化を、磁性体層50の磁化とを逆方向に向けることを容易にするために、ヨーク層44と磁性体層50とは、それらの抗磁界が異なるように設計される。ヨーク層55と磁性体層50との抗磁界が異なることは、外部磁界の印加によってヨーク層44と磁性体層50との磁化を逆向きにすることを可能にする。例えば、ヨーク層44の抗磁界が、磁性体層50の抗磁界よりも大きい場合、ヨーク層44と磁性体層50との両方の抗磁界のよりも大きい第1磁界をy軸方向に平行に印加した後、磁性体層50の抗磁界よりも大きく、ヨーク層44の抗磁界よりも小さい第2磁界を、第1磁界と逆の方向に印加することにより、ヨーク層44の磁化を、磁性体層50の磁化とを逆方向に向けることが出来る。

[0067] このように、本実施の形態のMRAMの構造は、磁性体層48及び磁性体層50を、それぞれヨーク層42及びヨーク層44と磁氣的に結合させ、バイアス磁界が磁気抵抗素子45に印加されることを有効に防止する。

[0068] 本実施の形態において、図19に示されているように、スペーサ層47が絶縁体である場合には、スペーサ層47及び磁性体層48が、上書き込み配線41のそれぞれに対応して設けられる代わりに、全ての上書き込み配線41及びヨーク層43を被覆するように形成されることが可能である。図19に示されている構造は、磁性体層48'の形成が容易であるため有利である。同様に、スペーサ層49が絶縁体である場合には、

スペーサ層49及び磁性体層50は、下書き込み配線43のそれぞれに対応して設けられるのではなく、一体に形成されることが可能である。

[0069] (実施の第4形態)

図20は、本発明によるMRAMの実施の第4形態を示す。実施の第4形態では、一の書き込み配線を被覆するヨーク層の端から放射される磁界が、他の書き込み配線を被覆するヨーク層の端に誘導され、該磁界が、磁気抵抗素子を鎖交しないように循環される。これにより、磁気抵抗素子に印加されるバイアス磁界が減少されている。

[0070] より詳細には、実施の第4形態では、側面及び上面がヨーク層によって被覆された上書き込み配線51がx軸方向に延設され、側面及び下面がヨーク層によって被覆された下書き込み配線52がy軸方向に延設される。図を見やすくするために、ヨーク層は、図20には図示されていない。ヨーク層は、NiFeのような導電性の強磁性体で形成される。磁気抵抗素子(図示されない)が、上書き込み配線51と下書き込み配線52とが交差する位置のそれぞれに設けられる。y軸方向に隣接する2本の上書き込み配線51は、配線組53を構成し、x軸方向に隣接する2本の下書き込み配線52は、配線組54を構成する。

[0071] 導電性の磁性体膜55aが、一の配線組53に含まれる2本の上書き込み配線51の第1端51aにオーバーラップするように設けられ、導電性の磁性体膜55bが、該一の配線組53に含まれる2本の上書き込み配線51の第2端51bにオーバーラップするように設けられる。図21は、上書き込み配線51の第1端51a(及び第2端51b)の近傍の構造を示す断面図である。上書き込み配線51の上面及び側面がヨーク層57によって被覆されている。上書き込み配線51aの第1端51a(及び第2端51b)とヨーク層57とは、絶縁膜58によって被覆され、磁性体膜55a、55bは、その絶縁膜58の上に設けられる。絶縁膜58は、2本の上書き込み配線51を電氣的に絶縁する。ヨーク層57のx軸方向の端は、絶縁膜58を挟んで磁性体膜55a、55bに対向する。

[0072] このような構造は、ヨーク層57と磁性体膜55a、55bとを磁氣的に結合させる。上書き込み配線51を被覆するヨーク層57は、x軸方向に長い形状を有しており、ヨーク層57の磁化は、形状異方性に起因してx軸方向に平行に向く。従って、ヨーク層57のx軸方向の端には磁極が発生する。ヨーク層57の端は、磁性体膜55a、55bに対向す

るから、ヨーク層57の端に発生する磁極は、磁性体膜55a、55bと磁氣的に結合する。

[0073] 同様に、図20に示されているように、導電性の磁性体膜56aが一の配線組54に含まれる2本の下書き込み配線52の第1端52aにオーバーラップするように設けられ、導電性の磁性体膜56bが、該一の配線組54に含まれる2本の下書き込み配線52の第2端52bにオーバーラップするように設けられる。図22は、下書き込み配線52の第1端52a(及び第2端52b)の近傍の構造を示す断面図である。下書き込み配線52は、層間絶縁膜59に設けられた溝に埋め込まれる。下書き込み配線52の下面及び側面は、ヨーク層60によって被覆される。下書き込み配線52のy軸方向の端も、ヨーク層60によって被覆されることに留意されるべきである。即ち、ヨーク層60は、下書き込み配線52の下面に接する下面被覆部分60aと、下書き込み配線52のy軸方向の端を被覆する端部分60bとを含む。下書き込み配線52、層間絶縁膜59、及びヨーク層60は、絶縁膜61によって被覆される。磁性体膜56a、56bは、その絶縁膜61の上に形成される。絶縁膜61は、該2本の下書き込み配線52を電氣的に絶縁する。ヨーク層60の端部分60bの上端は、絶縁膜61を挟んで磁性体膜56a(及び56b)に対向する。

[0074] このような構造は、ヨーク層60と磁性体膜56a、56bとを磁氣的に結合させる。下書き込み配線52を被覆するヨーク層60の下面被覆部分60aは、x軸方向に長い形状を有しており、下面被覆部分60aの磁化は、形状異方性に起因してx軸方向に平行に向く。更に、ヨーク層60の端部分60bが上方向(z軸方向)に延伸するため、端部分60bの磁化は、z軸方向に向く。従って、ヨーク層60の端部分60bの上端に磁極が発生する。ヨーク層60の端部分60bの上端は、磁性体膜56a(及び56b)に対向するから、ヨーク層60の端部分60bの上端に発生する磁界は、磁性体膜56a、56bと磁氣的に結合する。

[0075] 図20を参照して、一の配線組53の上書き込み配線51を被覆する2つのヨーク層57の磁化は、互いに、逆向きに向けられている。これは、ヨーク層57が発生するバイアス磁界を循環させ、磁気抵抗素子に鎖交することを防ぐ。ヨーク層57は、磁性体膜55a、及び55bに磁氣的に結合しているため、一の配線組53に含まれる2つのヨーク

層57の一方が発生するバイアス磁界の実質的に全ては、磁性体膜55a、55bを介して、他のヨーク層57に誘導される。これは、ヨーク層57と磁性体膜55a、55bとが、実質的に、閉磁路を構成することを意味する。従って、ヨーク層57が発生するバイアス磁界は、実質的に、磁気抵抗素子に鎖交しない。

[0076] 同様に、一の配線組54の下書き込み配線52を被覆する2つのヨーク層60の磁化は、互いに、逆向きに向けられる。これは、ヨーク層60が発生するバイアス磁界を循環させ、磁気抵抗素子に鎖交することを防ぐ。ヨーク層60は、磁性体膜55a、及び55bに磁氣的に結合しているため、一の配線組54に含まれる2つのヨーク層60の一方が発生するバイアス磁界の実質的に全ては、磁性体膜56a、56bを介して、他のヨーク層60に誘導される。これは、ヨーク層60と磁性体膜56a、56bとが、実質的に、閉磁路を構成することを意味する。従って、ヨーク層60が発生するバイアス磁界は、実質的に、磁気抵抗素子に鎖交しない。

[0077] 一の配線組53に含まれる2本の上書き込み配線51を被覆する2つのヨーク層57の磁化は、下記の工程によって互いに逆方向に向けられることが可能である。図20に示されているMRAMが形成された後、当該MRAMは、ヨーク層57のキュリー点よりも高い温度で熱処理される。一の配線組53の上書き込み配線51を被覆する2つのヨーク層57の磁化が反対である場合に磁化のポテンシャルエネルギーが最小になるため、当該MRAMの温度が常温に戻されることにより、一の配線組53の上書き込み配線51を被覆する2つのヨーク層57の磁化は、自発的に逆向きに向く。

[0078] 一の配線組54に含まれる2本の下書き込み配線52を被覆する2つのヨーク層60の磁化も、同様に、互いに逆方向に向けられることが可能である。

[0079] このように、本実施の形態のMRAMは、上書き込み配線51及び下書き込み配線52をそれぞれに被覆するヨーク層57、60が発生するバイアス磁界が閉磁路に閉じ込められ、該バイアス磁界が磁気抵抗素子に鎖交することが防がれている。

[0080] 本実施の形態において、上書き込み配線51及び下書き込み配線52の端部の近傍の構造は、様々に変更されうる。

[0081] 図23は、上書き込み配線51の端部の近傍の構造の変形例を示す。図23に示されているように、導電性の磁性体膜55a、55bの代わりに、絶縁性磁性体膜55a'、55b

’が使用され得る。この場合、絶縁性磁性体膜55a’、55b’は、ヨーク層57に直接に接して形成され得る。絶縁性磁性体膜55a’、55b’が直接にヨーク層57に接することは、絶縁性磁性体膜55a’、55b’とヨーク層57との磁気的な結合を強め、より完全な閉磁路の形成を可能にする。

[0082] 図24、図25は、下書き込み配線52の端部の近傍の構造の変形例を示している。図24に示されているように、ヨーク層60の端部分60bに面する溝が層間絶縁膜59に形成され、その溝の内面が絶縁膜61によって被覆される。磁性体膜56a、56bは、絶縁膜61の上に、該溝の内面を被覆するように形成される。図25に示されているように、層間絶縁膜59への溝の形成により、磁性体膜56a、56bは、凹部62を有するように形成される。このような構造は、磁性体膜56a、56bとヨーク層60の端部分60bとをより大きな面積で対向させ、磁性体膜56a、56bとヨーク層60との磁気的な結合を強める。これは、より完全な閉磁路の形成を可能にするため好ましい。

[0083] 更に、図26、27に示されているように、導電性の磁性体膜56a、56bの代わりに、絶縁性磁性体膜56a’、56b’が使用され得る。この場合、絶縁性磁性体膜56a’、56b’は、ヨーク層60に直接に接して形成され得る。例えば、図26に示されているように、絶縁性磁性体膜56a’、56b’は、絶縁膜61に被覆されることが可能である。図27に示されているように、絶縁膜61がヨーク層60の端部分60aを被覆しないように形成され、絶縁性磁性体膜56a’、56b’が、ヨーク層60の端部分60aを被覆し、且つ、絶縁膜61にオーバーラップするように形成されることが可能である。絶縁性磁性体膜56a’、56b’が直接にヨーク層60に接することは、絶縁性磁性体膜56a’、56b’とヨーク層60との磁気的な結合を強め、より完全な閉磁路の形成を可能にする。

[0084] 図28に示されているように、一の配線組53に含まれる上書き込み配線51の数は、及び一の配線組54に含まれる下書き込み配線52の数は、2に限定されない。例えば、一の配線組53が、4本の上書き込み配線51によって構成されることが可能であり、一の配線組54が、4本の下書き込み配線52によって構成されることが可能である。

[0085] 一の配線組53に含まれる上書き込み配線51の数が2でない場合にも、ヨーク層57の磁化の方向は、熱処理によってヨーク層57、磁性体膜55a、及び55bが閉磁路を形成するように向けられることが可能である。当該MRAMがヨーク層57のキュリー点

よりも高い温度で熱処理された後、当該MRAMの温度が常温に戻されることにより、ヨーク層57の磁化の方向は、ヨーク層57、磁性体膜55a、及び55bが閉磁路を形成する方向に向く。

[0086] 同様に、一の配線組54に含まれる下書き込み配線52の数が2でない場合にもヨーク層60の磁化の方向は、熱処理によってヨーク層60、磁性体膜56a、及び56bが閉磁路を形成する方向に向けられることが可能である。

[0087] 更に本実施の形態において、図29に示されているように、磁性体膜55aが全ての上書き込み配線51の第1端51aをオーバーラップするように形成され、磁性体膜55bが全ての第2端51bをオーバーラップするように形成されることが可能である。この場合、磁性体膜55aと磁性体膜55bとが、一对の磁性体膜55c、55dによって連結されることが好適である。磁性体膜55c、55dは、上書き込み配線51のアレイをはさんで互いに対向する位置にある。かかる構造は、上書き込み配線51を被覆するヨーク層57の端から放射されるバイアス磁界の循環を促進し、該バイアス磁界が磁気抵抗素子に鎖交することをより有効に防止する。

[0088] 同様に、磁性体膜56aが、全ての下書き込み配線52の第1端52aをオーバーラップするように形成され、磁性体膜56bが、全ての下書き込み配線52の第2端52bをオーバーラップするように形成されることが可能である。この場合、磁性体膜56aと磁性体構造体56bとが、一对の磁性体膜56c、56dによって連結されることが好適である。磁性体膜56c、56dは、下書き込み配線52のアレイをはさんで互いに対向する位置にある。かかる構造は、下書き込み配線52を被覆するヨーク層60の端から放射されるバイアス磁界の循環を促進し、該バイアス磁界が磁気抵抗素子に鎖交することをより有効に防止する。

[0089] (実施の第5形態)

図30は、本発明によるMRAMの実施の第5形態を示す。実施の第5形態では、2つのブロック71、72がx軸方向に隣接して設けられる。ブロック71には、側面及び上面がヨーク層によって被覆された上書き込み配線73がx軸方向に延設され、側面及び下面がヨーク層によって被覆された下書き込み配線74がy軸方向に延設される。上書き込み配線73と下書き込み配線74とが交差する位置のそれぞれには、磁気抵

抗素子が設けられる。

- [0090] 同様に、ブロック72には、側面及び上面がヨーク層によって被覆された上書き込み配線75がx軸方向に延設され、側面及び下面がヨーク層によって被覆された下書き込み配線76がy軸方向に延設される。上書き込み配線75と下書き込み配線76とが交差する位置のそれぞれには、磁気抵抗素子が設けられる。
- [0091] 導電性の磁性体膜77が、ブロック71の上書き込み配線73の端と、ブロック72の上書き込み配線75の端とをオーバーラップするように設けられる。図31は、上書き込み配線73、75の端の近傍の構造を示す。上書き込み配線73、75は、それぞれ、ヨーク層78、79によって被覆される。上書き込み配線73、75、及びヨーク層78、79は、絶縁膜80で被覆される。磁性体膜77は、絶縁膜80の上に形成される。絶縁膜80は、上書き込み配線73、75を電氣的に絶縁する。磁性体膜77は、絶縁膜80を介してヨーク層78、79と対向し、ヨーク層78、79と磁氣的に結合される。
- [0092] 磁性体膜77は、ブロック71の上書き込み配線73を被覆するヨーク層78と、ブロック72の上書き込み配線75を被覆するヨーク層79とを磁氣的に結合し、磁気抵抗素子に印加されるバイアス磁界を有効に減少する。磁性体膜77は、上書き込み配線73を被覆するヨーク層78が発生するバイアス磁界を、上書き込み配線75を被覆するヨーク層79に誘導し、又は、上書き込み配線75を被覆するヨーク層79が発生するバイアス磁界を、上書き込み配線73を被覆するヨーク層78に誘導する。このような磁性体膜77の作用により、ヨーク層78、79の磁性体膜77に対向する端に生じる磁極が発生する磁界は、磁気抵抗素子に鎖交しない。従って、磁性体膜77は、磁気抵抗素子に鎖交するバイアス磁界を有効に減少する。
- [0093] 例えば、長さが $100\mu\text{m}$ 、幅が $1\mu\text{m}$ 、厚さが $0.3\mu\text{m}$ である上書き込み配線73、75が厚さが $50\text{nm}$ であるヨーク層78、79によって被覆され、磁性体膜77が、厚さ $50\text{nm}$ のNiFeで形成され、且つ、厚さ $20\text{nm}$ の絶縁膜80によって上書き込み配線73、75から分離されている場合を考える。この場合、上書き込み配線73(又は上書き込み配線75)の磁性体膜77の側の端から放出される磁界の実質的に全てが磁性体膜77に鎖交し、該磁界の磁気抵抗素子への漏れは見出されない。
- [0094] 図32に示されているように、導電性の磁性体膜77の代わりに、絶縁性磁性体膜77

’が形成され得る。この場合、絶縁性磁性体膜77’は、ヨーク層78、79に直接に接して形成され得る。絶縁性磁性体膜77’が直接にヨーク層78、79に接することは、絶縁性磁性体膜77’とヨーク層78、79との磁気的な結合を強める。

[0095] 本実施の形態において、図33に示されているように、磁性体構造体77が設けられる代わりに、ブロック71の上書き込み配線73とブロック72の上書き込み配線75とが十分に近く配設されることが可能である。上書き込み配線73と上書き込み配線75とを十分に近づけることにより、上書き込み配線73を被覆するヨーク層78が発生する磁界が、上書き込み配線75を被覆するヨーク層79に誘導され、又は、上書き込み配線75を被覆するヨーク層79が発生する磁界は、上書き込み配線73を被覆するヨーク層78に誘導される。図33の構造は、図30に図示されている構造と同様に、磁気抵抗素子に印加されるバイアス磁界を有効に減少する。

[0096] (実施の第6形態)

図34は、本発明によるMRAMの実施の第6形態を示す。側面及び上面がヨーク層によって被覆された上書き込み配線81がx軸方向に延設され、側面及び下面がヨーク層によって被覆された下書き込み配線82がy軸方向に延設される。上書き込み配線81と下書き込み配線82とが交差する位置のそれぞれには、磁気抵抗素子83が設けられる。

[0097] 磁気抵抗素子83に印加されるバイアス磁界を減少するために、上書き込み配線81及び下書き込み配線82を被覆するヨーク層の端81a、82aは、磁気抵抗素子の特性に影響が及ばない程度に十分に遠くに配置される。ヨーク層の端81a、82aが、磁気抵抗素子から十分に遠く離されることにより、ヨーク層の端に生じる磁極から磁気抵抗素子への距離が十分に増大される。磁極が発する静磁界の強さは磁極からの距離の2乗に反比例するから、ヨーク層の端81a、82aから磁気抵抗素子への距離を十分に大きくすることにより、ヨーク層の端から放射される磁界のうち、磁気抵抗素子に鎖交する成分を十分に小さくすることができる。これにより、磁気抵抗素子に印加されるバイアス磁界を、磁気抵抗素子の特性に影響がない程度に減少することが可能である。

[0098] 定量的には、上書き込み配線81を被覆するヨーク層の端81aは、端81aに生じる



磁極が端81aに最近接する磁気抵抗素子83に鎖交させるバイアス磁界の大きさが、磁気抵抗素子83の自由強磁性層の真性 (intrinsic) の抗磁界の5分の1以下になる程度に、より好適には、10分の1以下になる程度に、最近接する磁気抵抗素子83から離されることが好適である。ここで、磁気抵抗素子83の自由強磁性層の真性 (intrinsic) の抗磁界とは、該自由強磁性層に、その磁化と垂直な方向に磁界が印加されていないときの抗磁界を意味する。

[0099] 同様に、下書き込み配線82を被覆するヨーク層の端82aは、端82aに生じる磁極が端82aに最近接する磁気抵抗素子83に鎖交させるバイアス磁界の大きさが、磁気抵抗素子83の自由強磁性層の真性 (intrinsic) の抗磁界の5分の1以下になる程度に、より好適には、10分の1以下になる程度に、最近接する磁気抵抗素子83から離されることが好適である。

[0100] また、上書き込み配線81を被覆するヨーク層の端81aは、最近接する磁気抵抗素子83からの距離が、下書き込み配線82の最小ピッチ以上になるように、より好適には、該最小ピッチの3倍以上になるように、最近接する磁気抵抗素子83から離されることが好適である。ここで、下書き込み配線82の最小ピッチとは、下書き込み配線82の中心線の間隔dxのうち最小であるものを意味する。下書き込み配線82が平行に等間隔に配置されている場合には、最小ピッチとは、下書き込み配線82の間隔に等しい。

[0101] 同様に、下書き込み配線82を被覆するヨーク層の端82aは、最近接する磁気抵抗素子83からの距離が、上書き込み配線81の最小ピッチ以上になるように、より好適には、該ピッチの3倍以上になるように、最近接する磁気抵抗素子83から離されることが好適である。ここで、上書き込み配線81の最小ピッチとは、上書き込み配線81の中心線の間隔dyのうち最小であるものを意味する。上書き込み配線81が平行に等間隔に配置されている場合には、最小ピッチとは、上書き込み配線81の間隔に等しい。

[0102] このように、ヨーク層の端81a、82aが、磁気抵抗素子83から充分に遠く離されることにより、磁気抵抗素子83に鎖交するバイアス磁界が減少される。例えば、長さが10  $\mu\text{m}$ 、幅が1  $\mu\text{m}$ 、厚さが0.3  $\mu\text{m}$ である上書き込み配線81が、厚さが50nmのNi

Feによって形成されたヨーク層によって被覆される場合について考察する。上書き込み配線81の端からx軸方向に $10\ \mu\text{m}$ 離れ、上書き込み配線81の下面から $0.1\ \mu\text{m}$ だけ離れた位置における磁界のx軸方向の成分は、約 $10\ (\text{Oe})$ である。上書き込み配線81の端からx軸方向に $20\ \mu\text{m}$ 離れ、上書き込み配線81の下面から $0.1\ \mu\text{m}$ だけ離れた位置における磁界のx軸方向の成分は、約 $3\ (\text{Oe})$ である。上書き込み配線81の端を、 $10\ \mu\text{m}$ だけ遠くに設けることにより、磁気抵抗素子に印加されるバイアス磁界を、約3分の1に減少することができる。

## 請求の範囲

- [1] 第1方向に磁気異方性を有する複数の磁気抵抗素子と、  
前記第1方向と異なる第2方向に延設され、且つ、前記磁気抵抗素子にデータを書き込むための書き込み電流が流される配線と、  
強磁性体で形成され、前記第2方向に延設され、且つ、前記配線の表面の少なくとも一部を被覆するヨーク層  
とを備え、  
前記複数の磁気抵抗素子は、  
第1磁気抵抗素子と、  
前記ヨーク層の前記第2方向における端からの距離が、前記第1磁気抵抗素子よりも遠い第2磁気抵抗素子  
とを含み、  
前記第1磁気抵抗素子が有する前記磁気異方性は、前記第2磁気抵抗素子が有する前記磁気異方性よりも強い  
磁気ランダムアクセスメモリ。
- [2] 請求項1に記載の磁気ランダムアクセスメモリにおいて、  
前記第1磁気抵抗素子の前記第2方向における幅に対する、前記第1磁気抵抗素子の前記第1方向における長さの比である第1縦横比は、前記第2磁気抵抗素子の前記第2方向における幅に対する、前記第2磁気抵抗素子の前記第1方向における長さの比である第2縦横比よりも大きい  
磁気ランダムアクセスメモリ。
- [3] 磁気抵抗素子と、  
前記磁気抵抗素子にデータを書き込むための書き込み電流が流される第1配線と、  
、  
強磁性体で形成され、前記配線が延伸する第1方向に延設され、且つ、前記配線の表面の少なくとも一部を被覆する第1ヨーク層と、  
前記第1ヨーク層の前記第1方向における端に生じる磁極が発生する磁界を、前記磁気抵抗素子から逸らすように誘導する磁界制御構造体

とを備えた

磁気ランダムアクセスメモリ。

- [4] 請求項3に記載の磁気ランダムアクセスメモリにおいて、

前記磁界制御構造体は、前記第1ヨーク層の前記端と、前記磁気抵抗素子との間に位置する磁気遮蔽構造体を含む

磁気ランダムアクセスメモリ。

- [5] 請求項4に記載の磁気ランダムアクセスメモリにおいて

前記磁界遮蔽構造体は、前記第1配線に対して斜めに交差する

磁気ランダムアクセスメモリ。

- [6] 請求項5に記載の磁気ランダムアクセスメモリにおいて、

前記磁界遮蔽構造体は、前記磁気抵抗素子の少なくとも一部と共通の積層構造を有する

磁気ランダムアクセスメモリ。

- [7] 請求項4に記載の磁気ランダムアクセスメモリにおいて、

更に、

当該磁気ランダムアクセスメモリに含まれる磁気抵抗素子へのデータの書き込みに使用されず、前記第1方向と異なる方向に延設され、前記ヨーク層の前記端と、前記磁気抵抗素子との間に位置する第2配線と、

前記第2配線の表面の少なくとも一部を被覆する第2ヨーク層とを備え、

前記第2ヨーク層は、前記磁気遮蔽構造体として機能する

磁気ランダムアクセスメモリ。

- [8] 請求項3に記載の磁気ランダムアクセスメモリにおいて、

更に、

前記第1ヨーク層を被覆するスペーサ層

を備え、

前記磁界制御構造体は、前記スペーサ層を被覆する磁性体層を含み、

前記磁性体層は、前記第1ヨーク層の前記端のうちの一方から放出される磁界を、

前記第1ヨーク層の前記端の他方に誘導する

磁気ランダムアクセスメモリ。

- [9] 請求項8に記載の磁気ランダムアクセスメモリにおいて、  
前記第1ヨーク層と前記磁性体層との磁化は、逆方向に向いている  
磁気ランダムアクセスメモリ。
- [10] 請求項9に記載の磁気ランダムアクセスメモリにおいて、  
前記スペーサ層は、前記第1ヨーク層と前記磁性体層とが反強磁性的に結合する  
ように形成されている  
磁気ランダムアクセスメモリ。
- [11] 請求項3に記載の磁気ランダムアクセスメモリにおいて、  
更に、  
前記第1方向に延設された第2配線と、  
強磁性体で形成され、前記第1方向に延設され、且つ、前記第2配線の表面の少  
なくとも一部を被覆する第2ヨーク層  
とを備え、  
前記磁界制御構造体は、前記第1ヨーク層と前記第2ヨーク層とを磁氣的に結合す  
る磁性体部材を含む  
磁気ランダムアクセスメモリ。
- [12] 請求項11に記載の磁気ランダムアクセスメモリにおいて  
、  
前記第2配線は、前記第1配線に、前記第1方向と垂直な第2方向において隣接し  
、  
前記磁性体部材は、  
前記第1ヨーク層の一端と、前記第2ヨーク層の一端とを磁氣的に結合する第1磁  
性体部材と、  
前記第1ヨーク層の他端と、前記第2ヨーク層の他端とを磁氣的に結合する第2磁  
性体部材  
とを含む

磁気ランダムアクセスメモリ。

- [13] 請求項12に記載の磁気ランダムアクセスメモリにおいて、  
更に、  
前記第1磁性体部材と前記第2磁性体部材との間に介設された第3磁性体部材と、  
前記磁気抵抗素子に対して前記第3磁性体部材の反対側に位置し、且つ、前記第1磁性体部材と前記第2磁性体部材との間に介設された第4磁性体部材とを備えた  
磁気ランダムアクセスメモリ。
- [14] 請求項11に記載の磁気ランダムアクセスメモリにおいて、  
前記第2配線は、前記第1配線に、前記第1方向において隣接する  
磁気ランダムアクセスメモリ。
- [15] 請求項3に記載の磁気ランダムアクセスメモリにおいて、  
更に、  
前記第1方向に延設され、前記第1配線に前記第1方向において隣接する第2配線と、  
強磁性体で形成され、前記第1方向に延設され、且つ、前記第2配線の表面の少なくとも一部を被覆する第2ヨーク層とを備え、  
前記第2ヨーク層は、前記第1ヨーク層と磁氣的に結合する程度に前記第1ヨーク層に近接して設けられて前記磁界制御構造体として機能する  
磁気ランダムアクセスメモリ。
- [16] 磁気抵抗素子と、  
前記磁気抵抗素子にデータを書き込むための書き込み電流が流される配線と、  
強磁性体で形成され、前記配線が延伸する方向に延設され、且つ、前記配線の表面の少なくとも一部を被覆するヨーク層とを備え、  
前記ヨーク層の端は、前記端から放射される磁界が前記磁気抵抗素子の特性に質的に影響を及ぼさない程度に十分に離された

磁気ランダムアクセスメモリ。

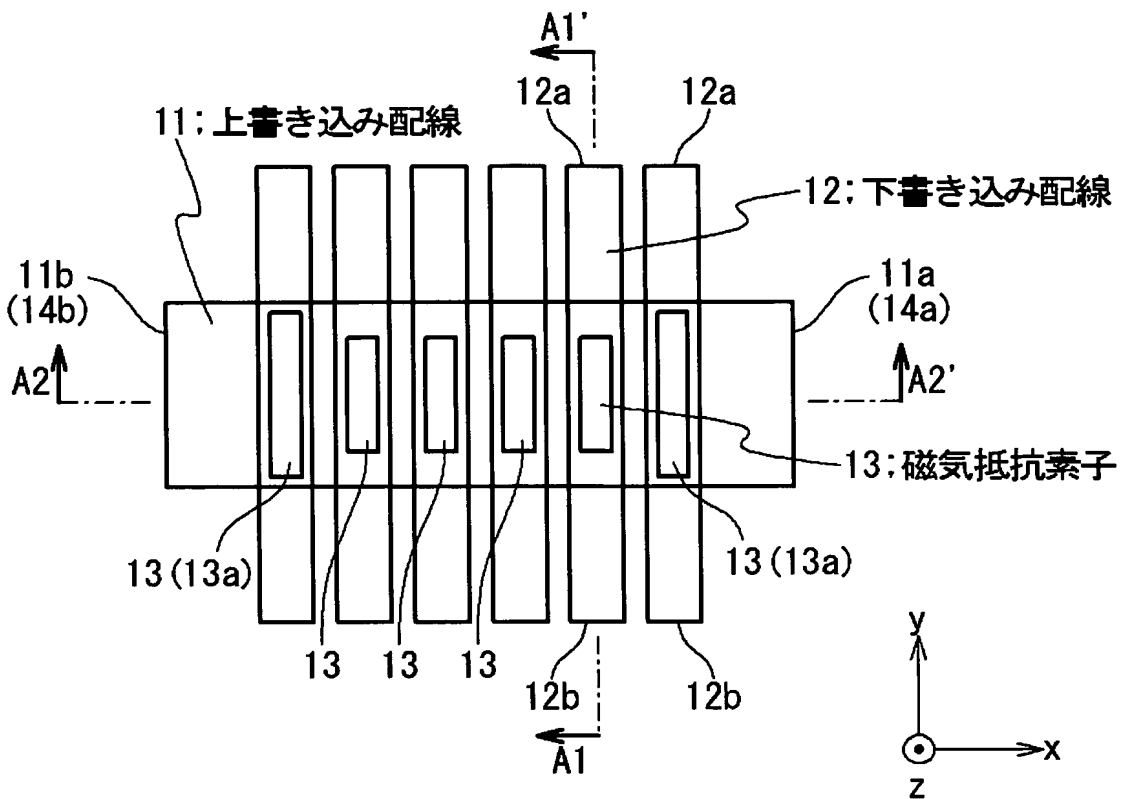
- [17] 行列に並べられた磁気抵抗素子と、  
前記磁気抵抗素子にデータを書き込むための書き込み電流が流される配線と、  
強磁性体で形成され、前記配線が延伸する方向に延設され、且つ、前記配線の表面の少なくとも一部を被覆するヨーク層  
とを備え、  
前記ヨーク層の端は、前記端に生じる磁極が前記磁気抵抗素子のうち前記端に最近接する最近接磁気抵抗素子に鎖交させる磁界が、前記磁気抵抗素子の自由強磁性層の真性の抗磁界の5分の一以下になる程度に、前記最近接磁気抵抗素子から離れて位置する

磁気ランダムアクセスメモリ。

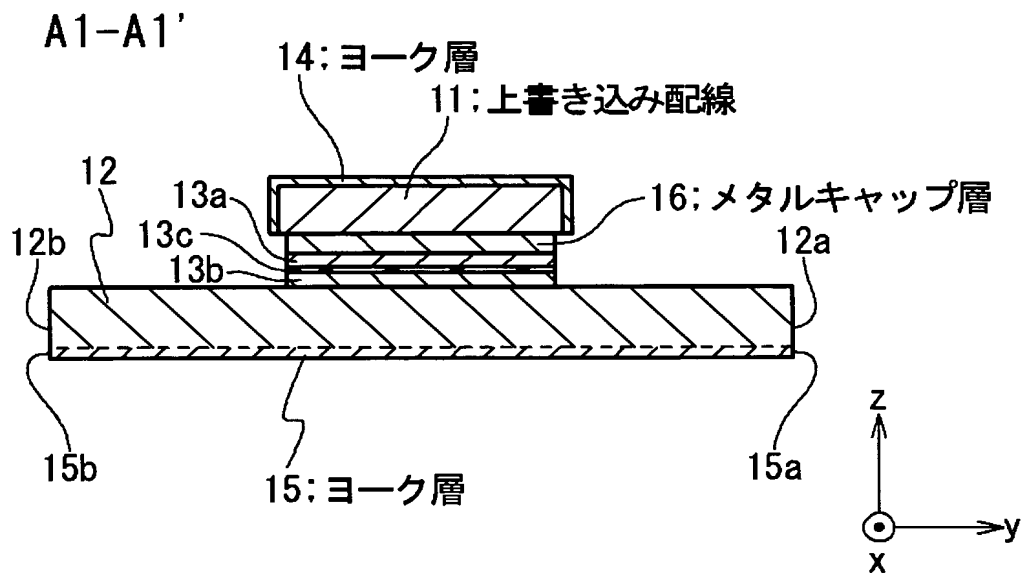
- [18] 第1方向に複数の第1配線と、  
前記第1方向と異なる第2方向に延設された複数の第2配線と、  
前記第1配線のそれぞれの少なくとも一部を被覆する第1ヨーク層と、  
前記第1配線と前記第2配線とが交差する交点のそれぞれに配置された磁気抵抗素子  
とを備え、  
前記第1ヨーク層の前記第1方向における第1端は、前記第1端に最近接する最近接磁気抵抗素子から前記第1端への距離が、前記第2配線の最小ピッチ以上であるように前記最近接磁気抵抗素子から離れて位置する

磁気ランダムアクセスメモリ。

[図1]



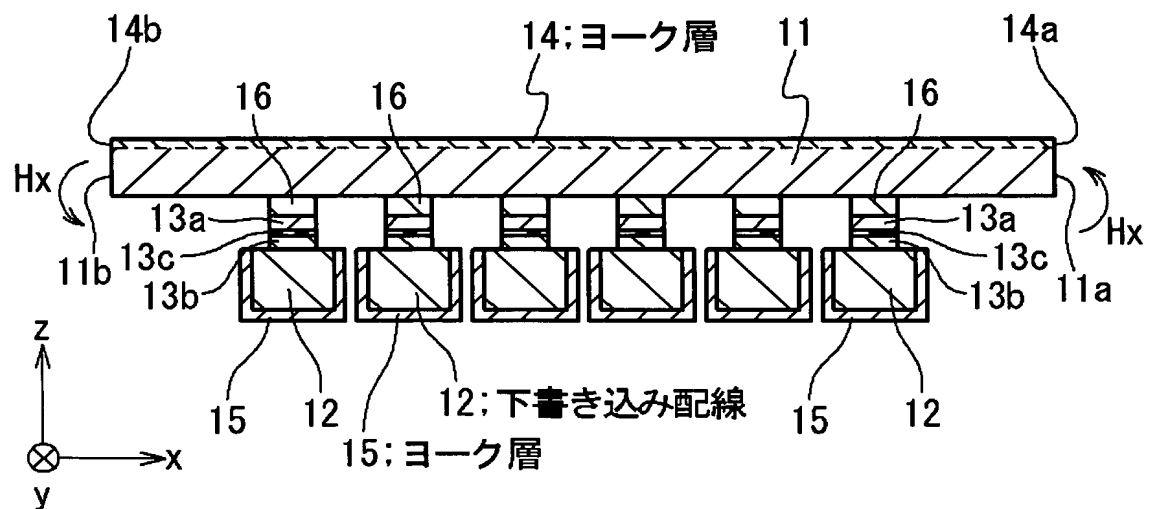
[図2]



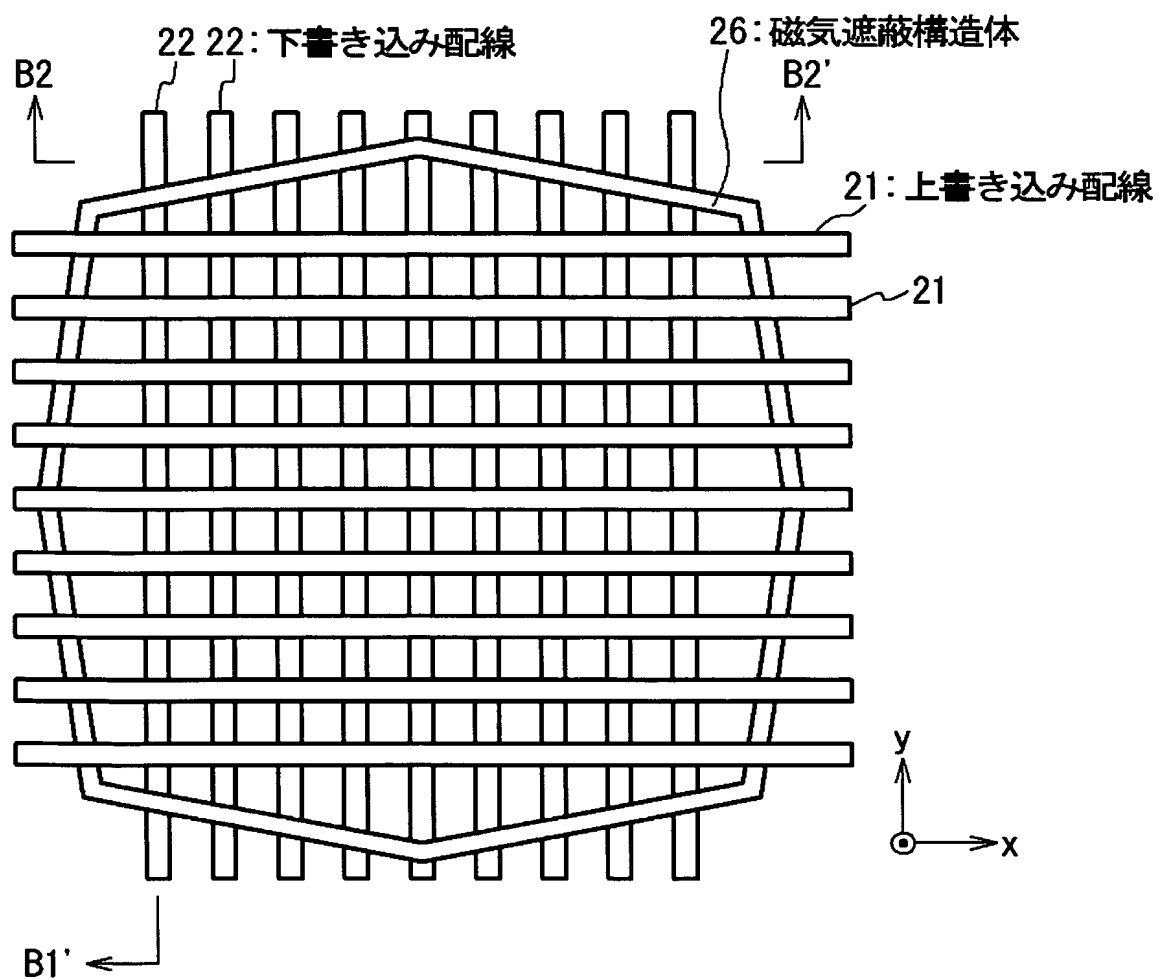


[図3]

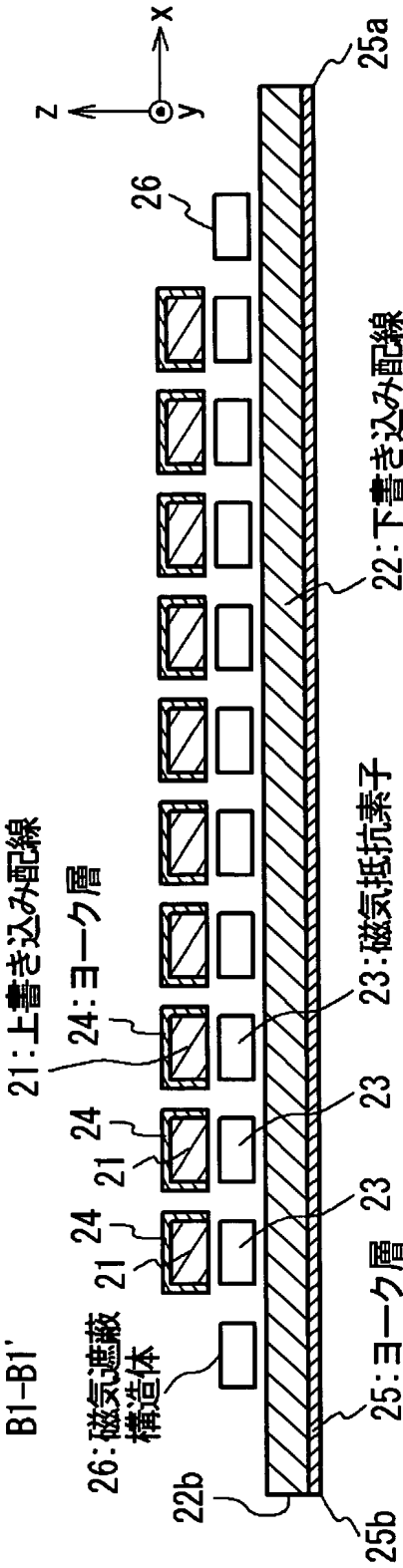
**A2-A2'**



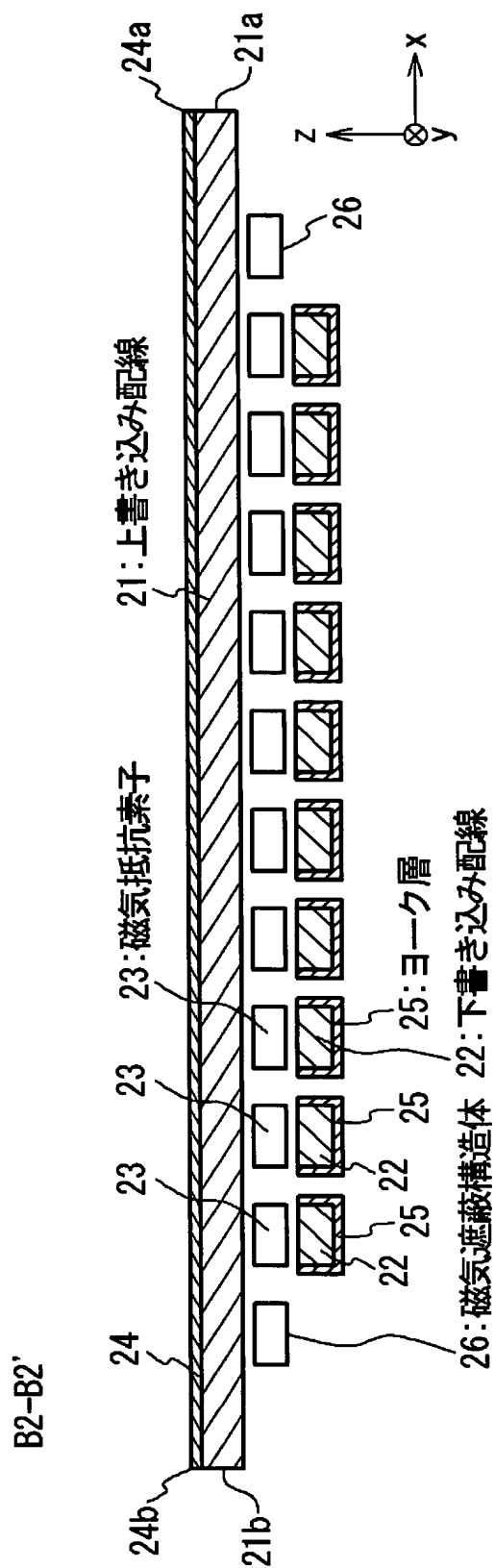
[図4]



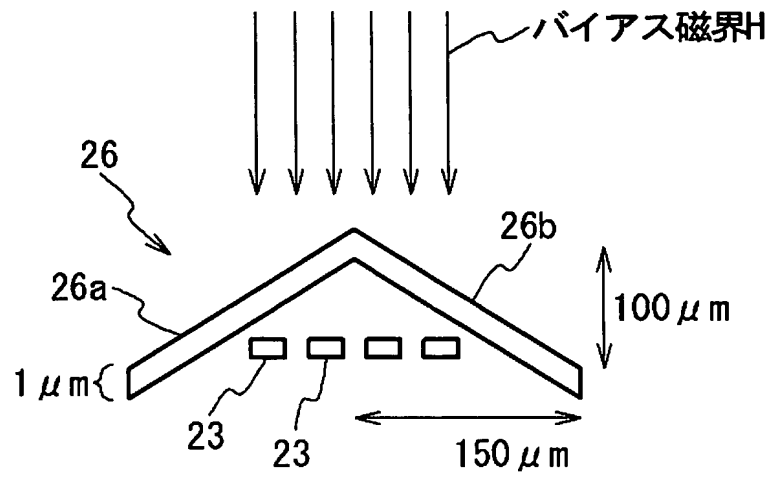
[図5]



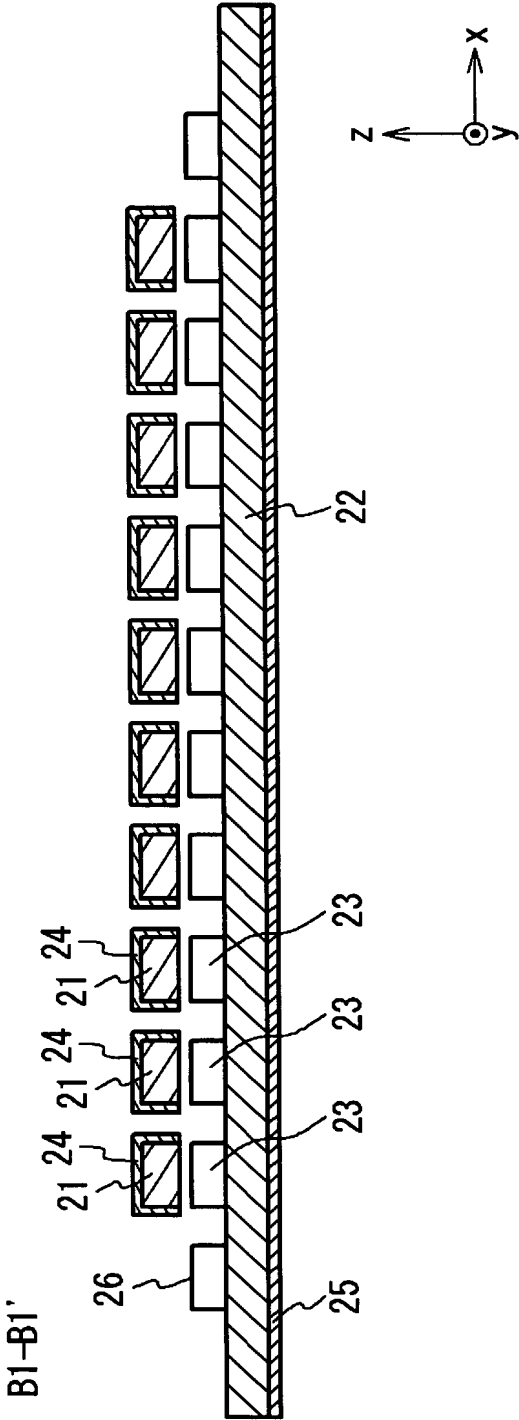
[図6]



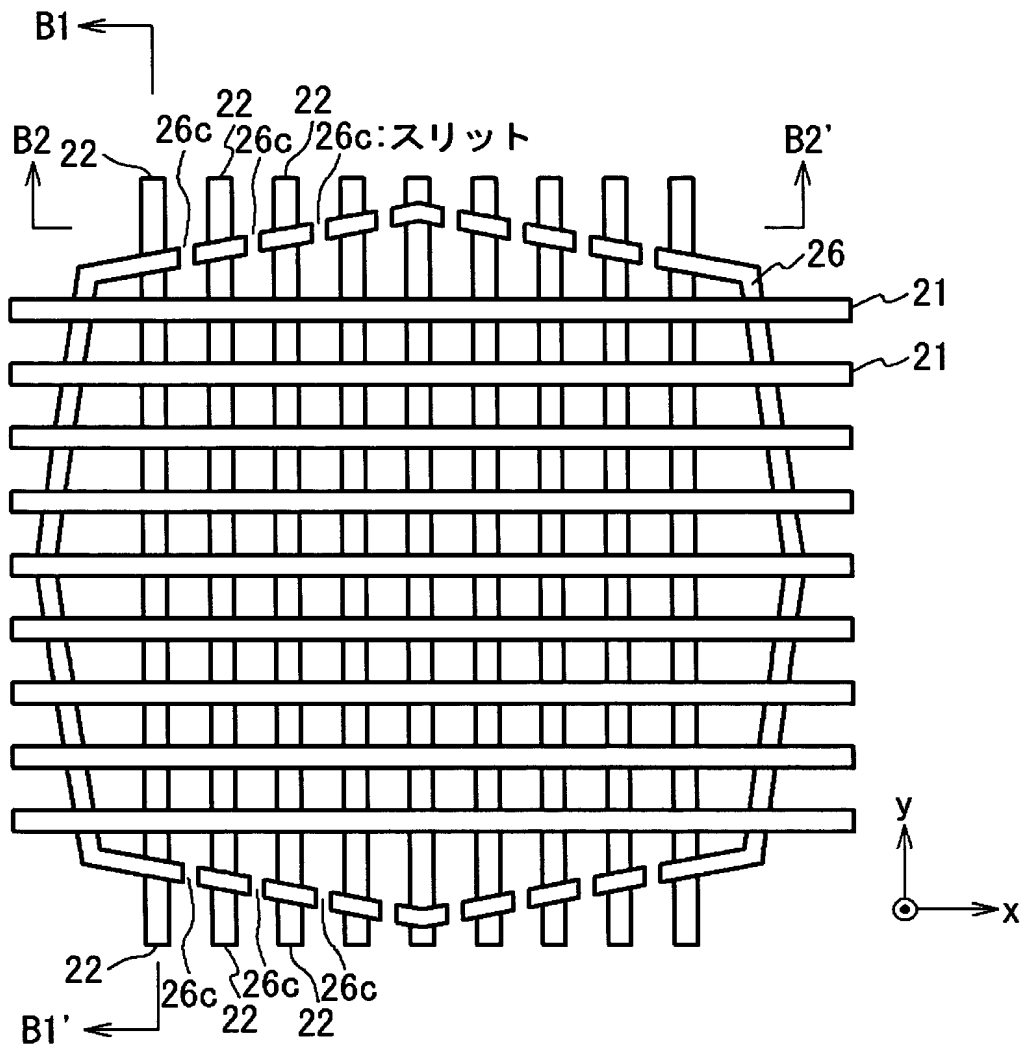
[図7]



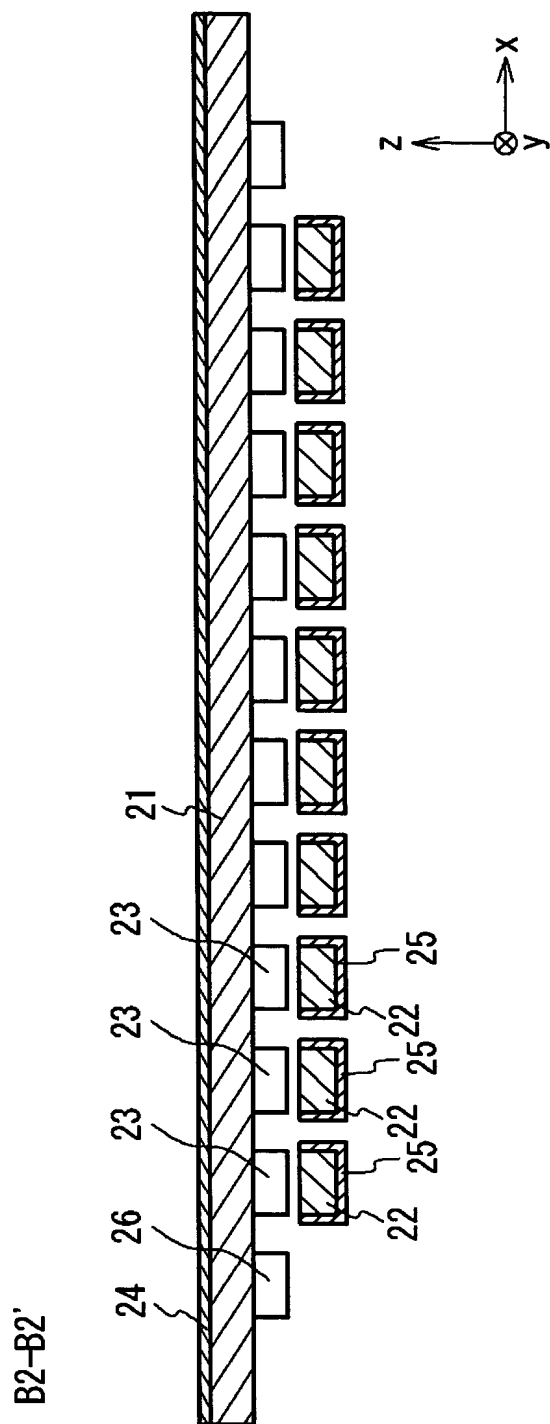
[図8]



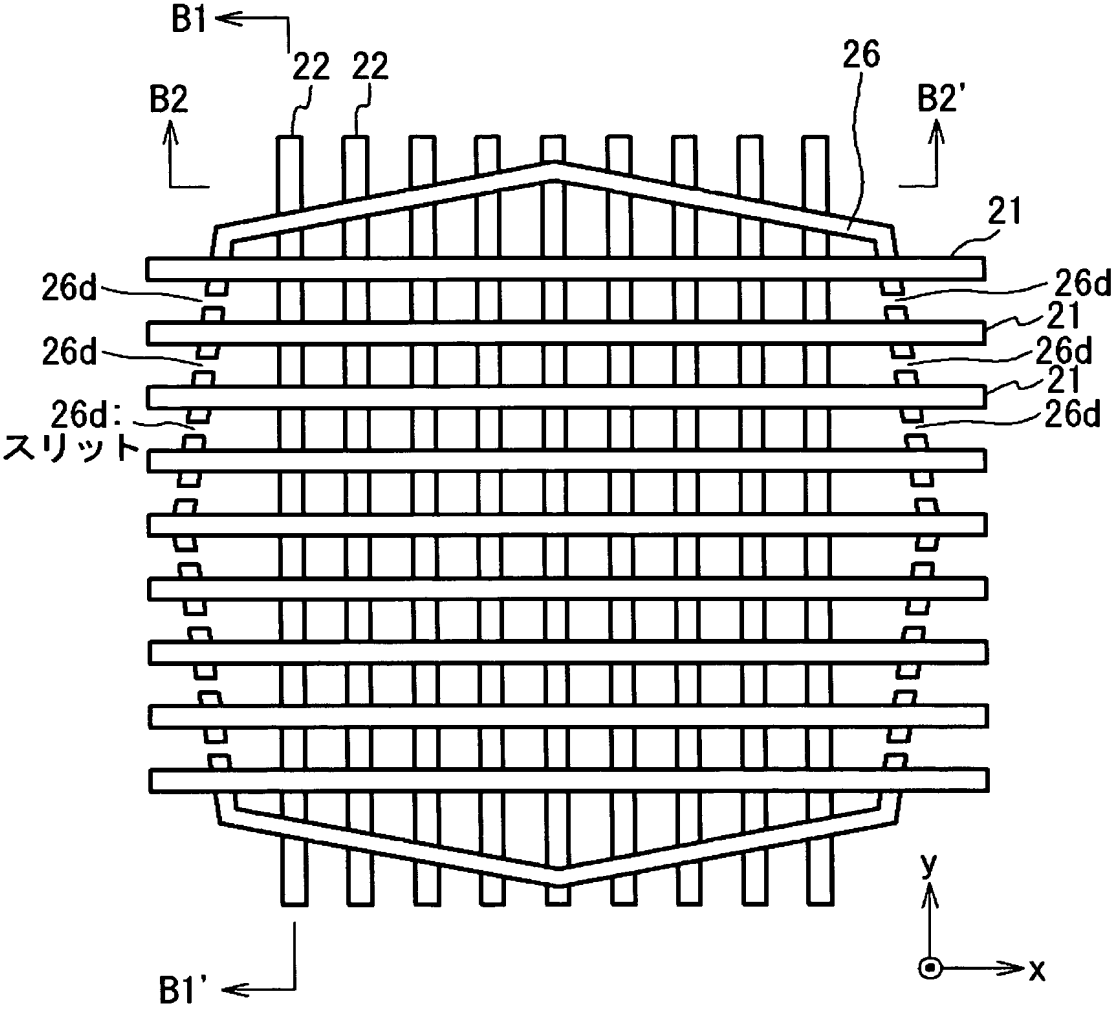
[図9]



[図10]

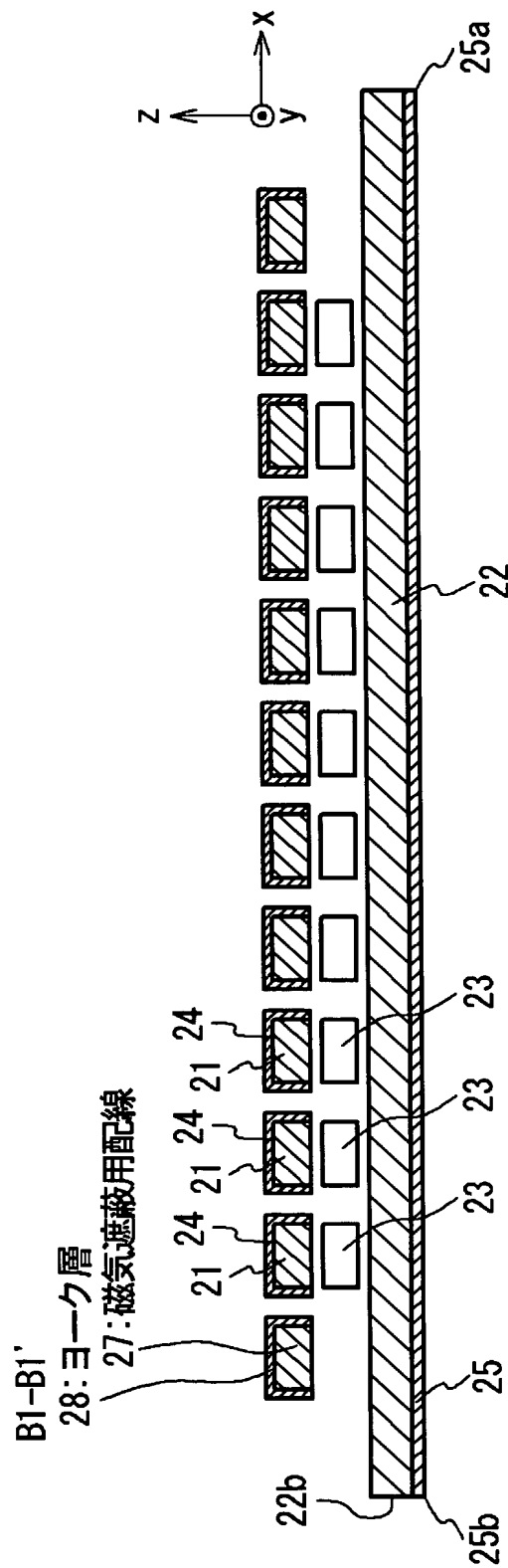


[図11]

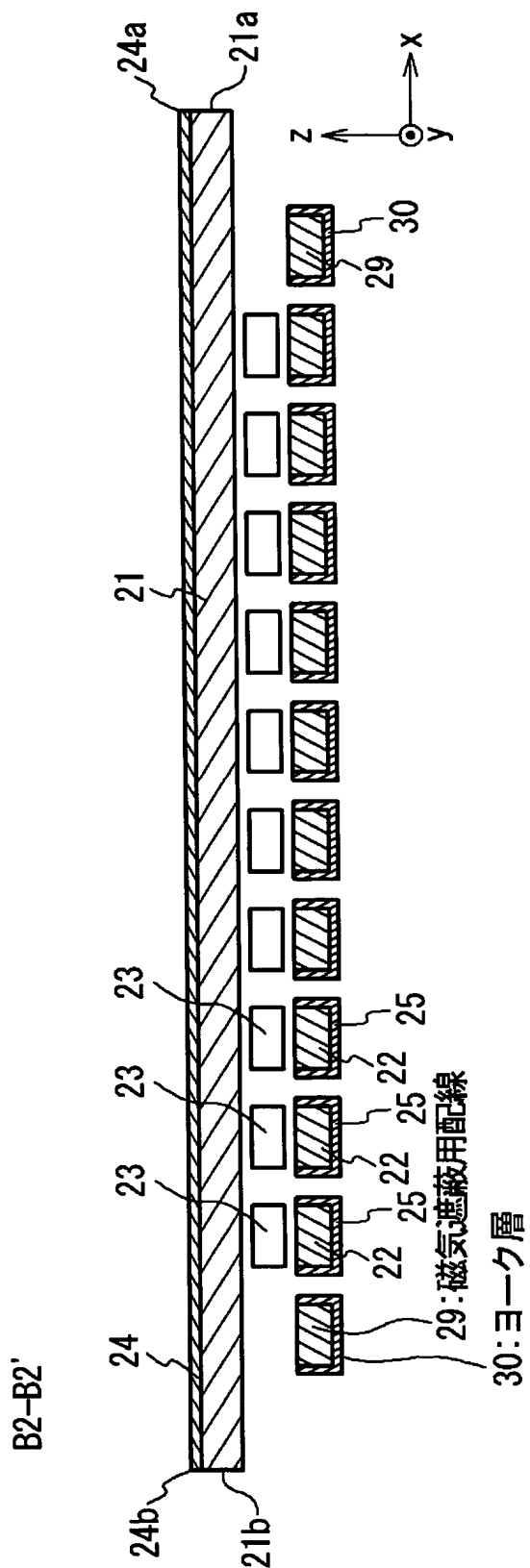




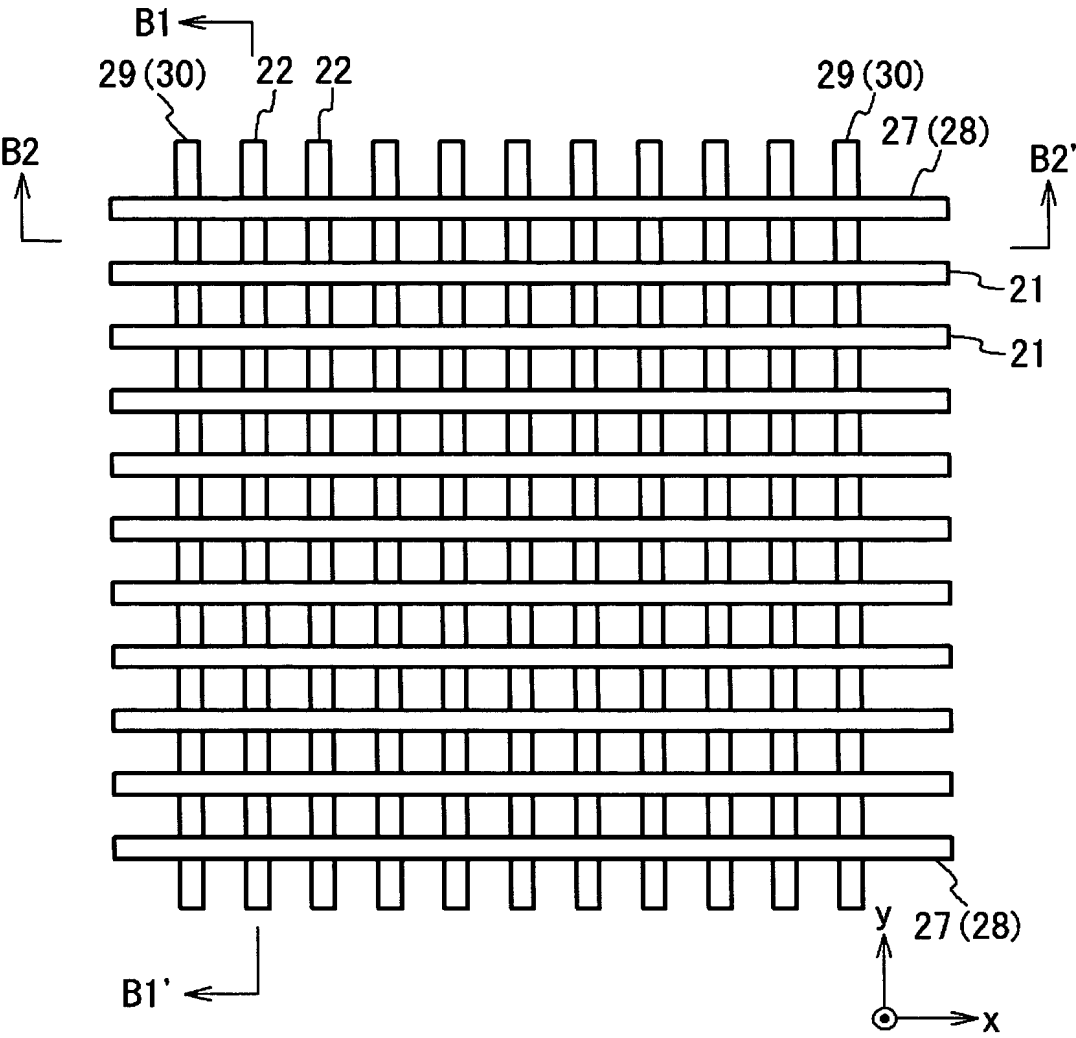
[図12]



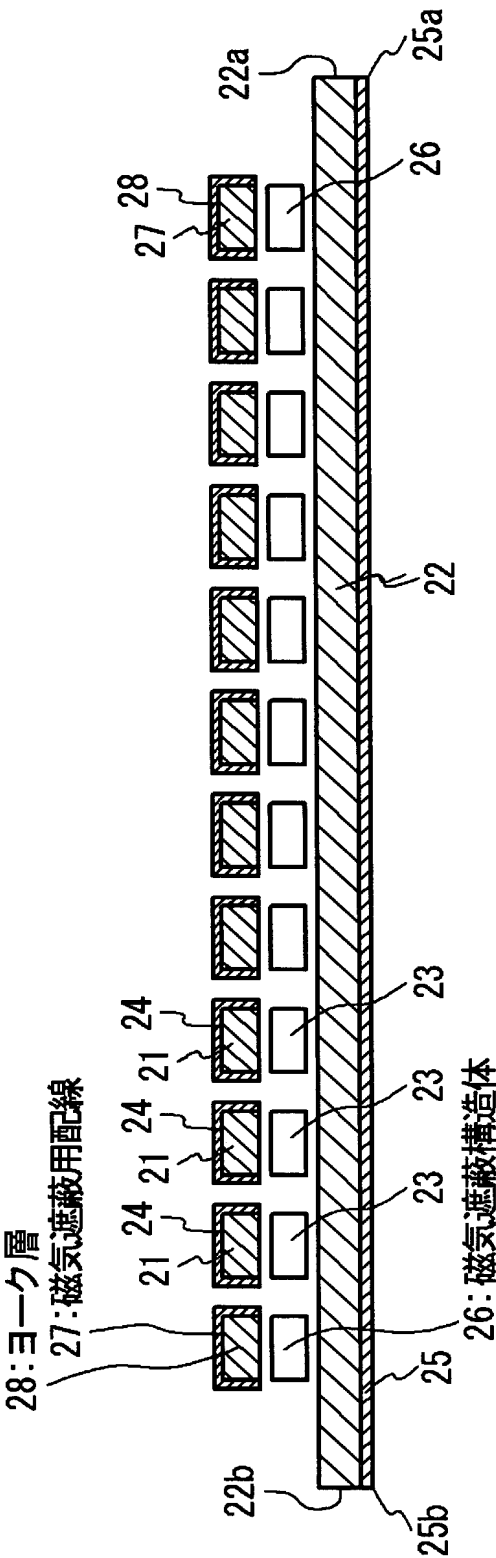
[図13]



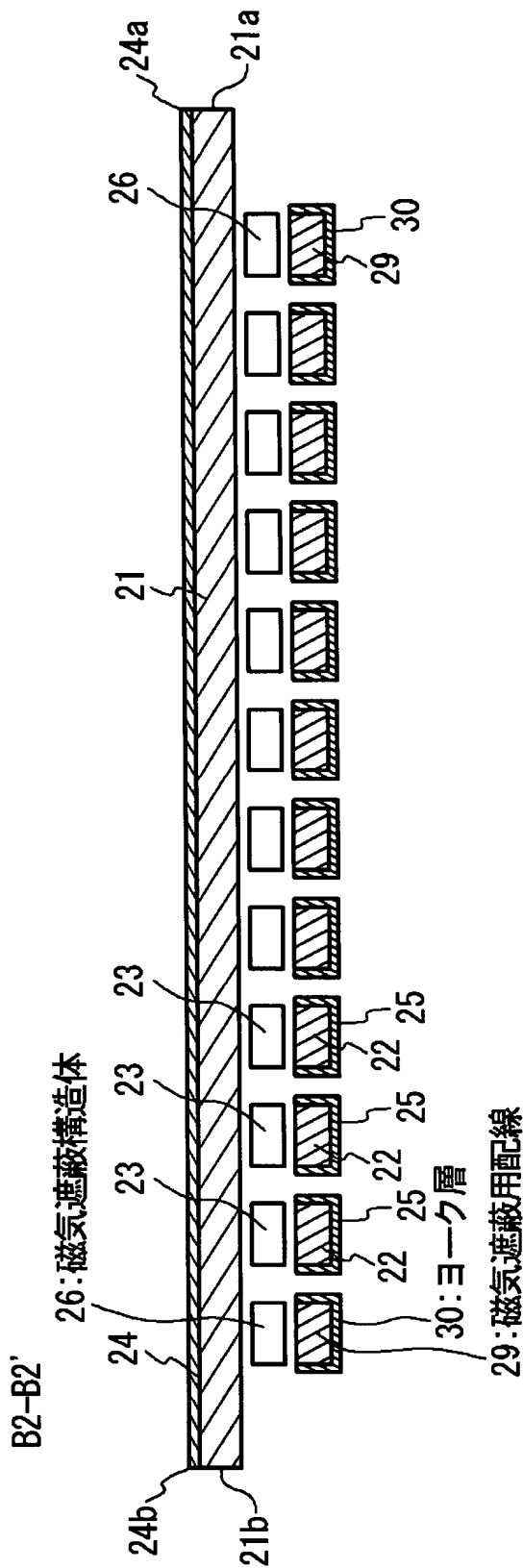
[図14]



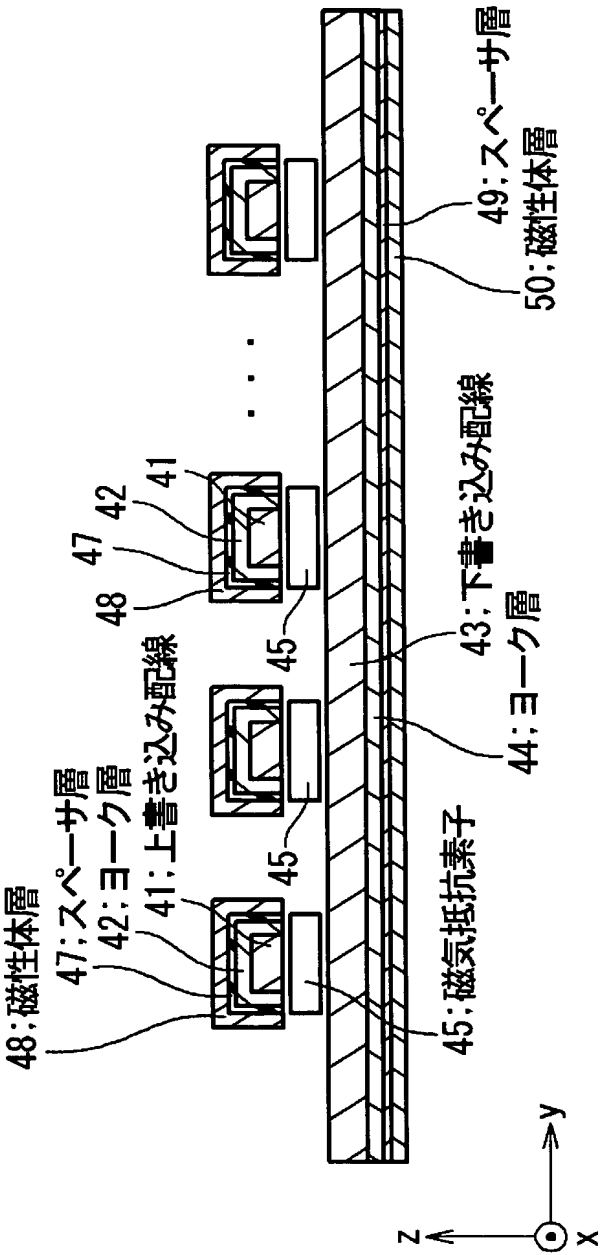
[図15]



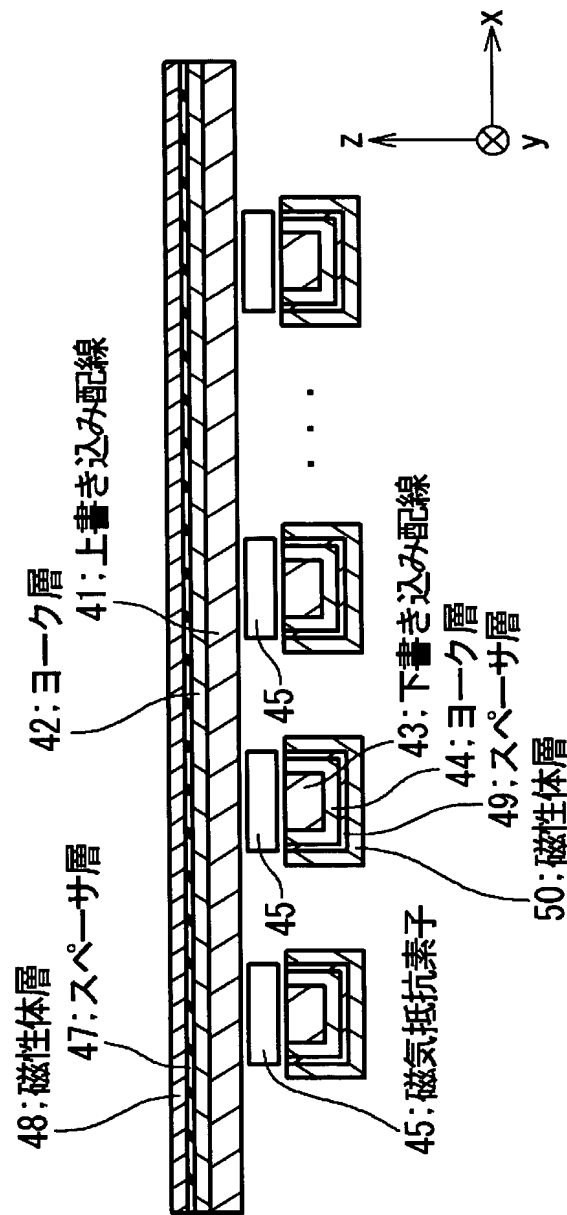
[図16]



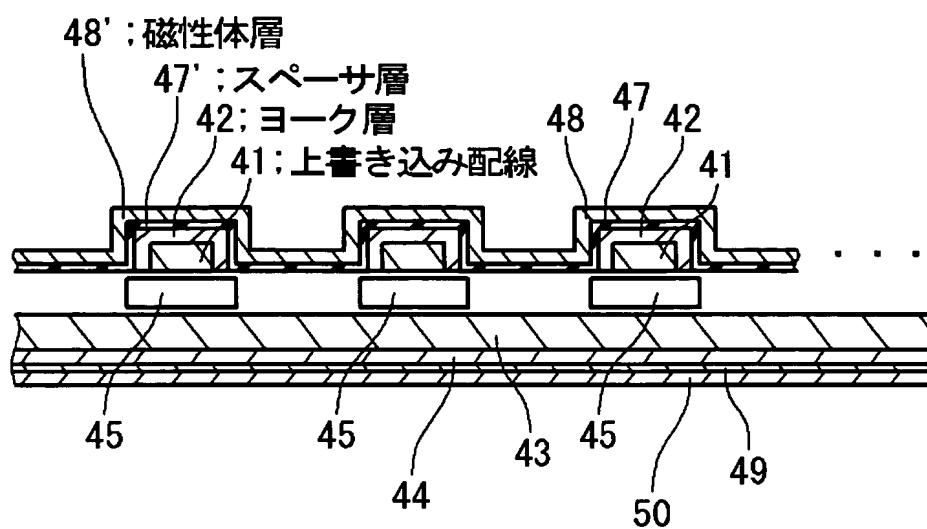
[図17]



[図18]

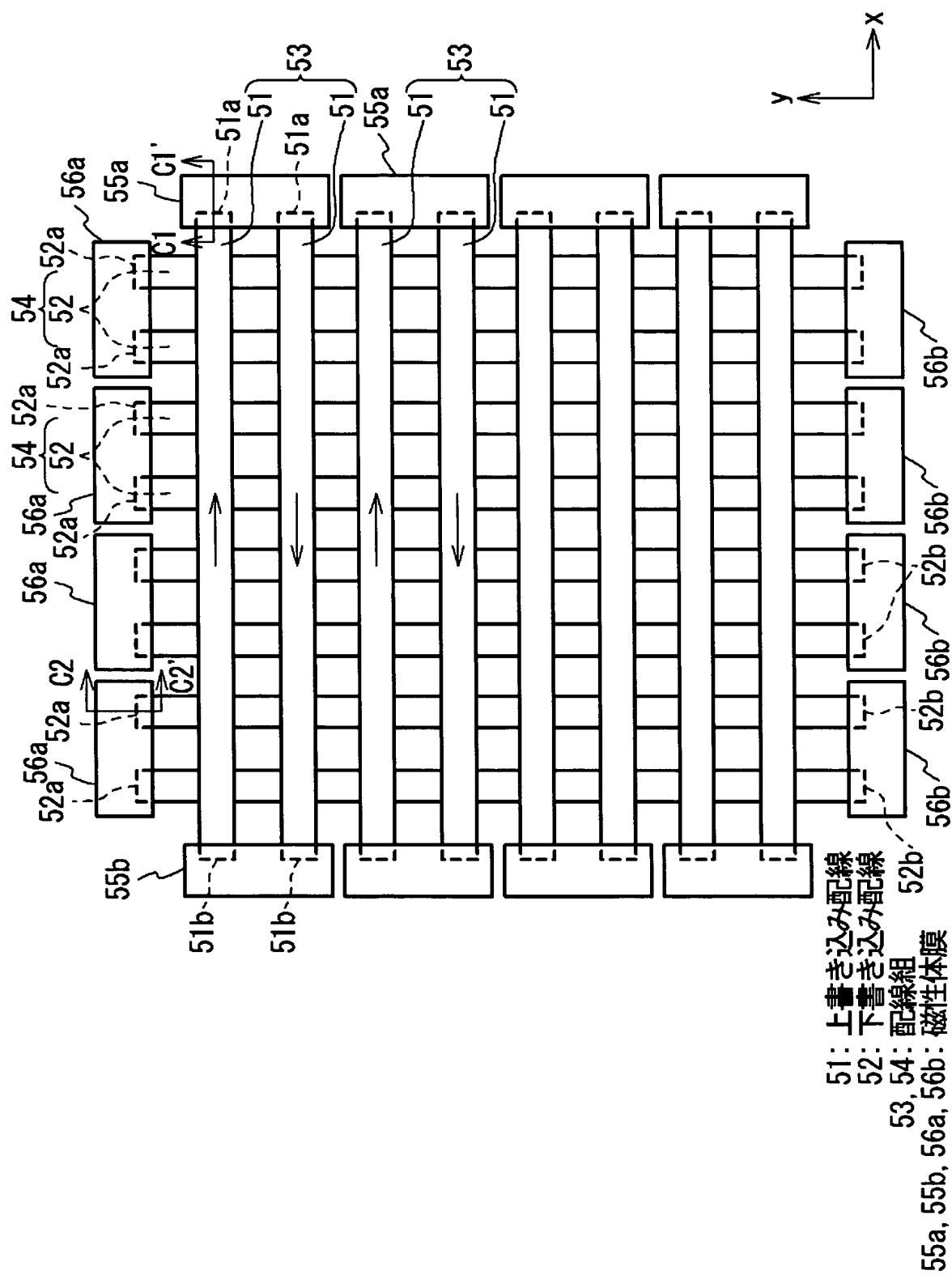


[図19]

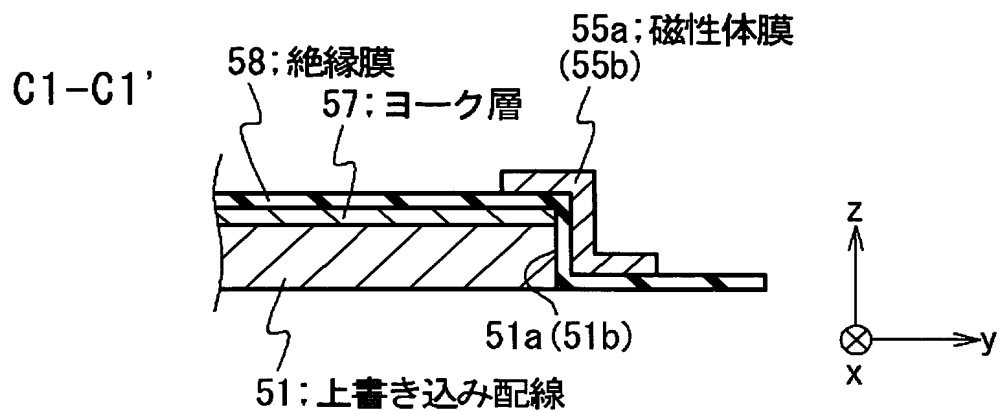




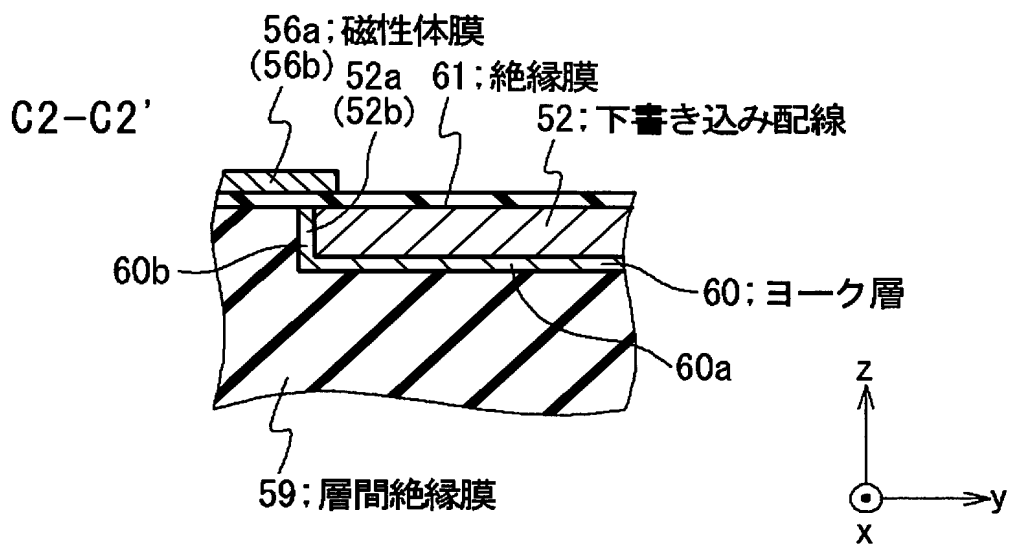
[図20]



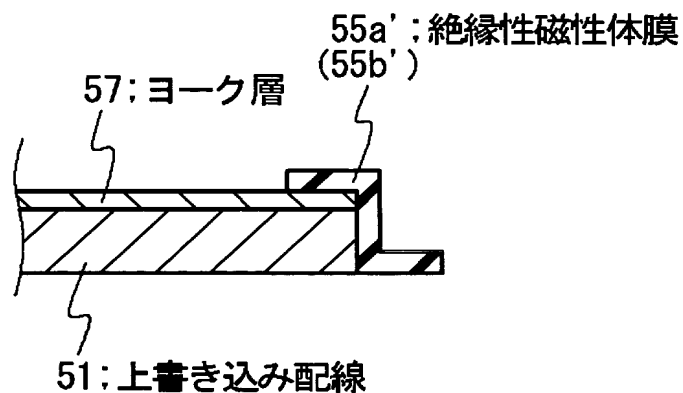
[図21]



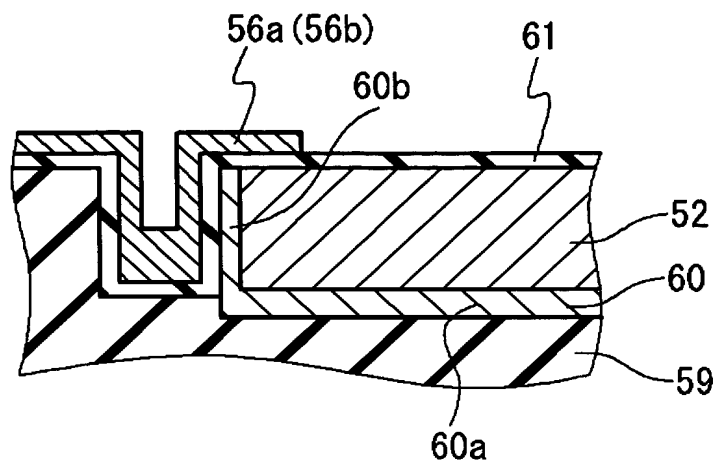
[図22]



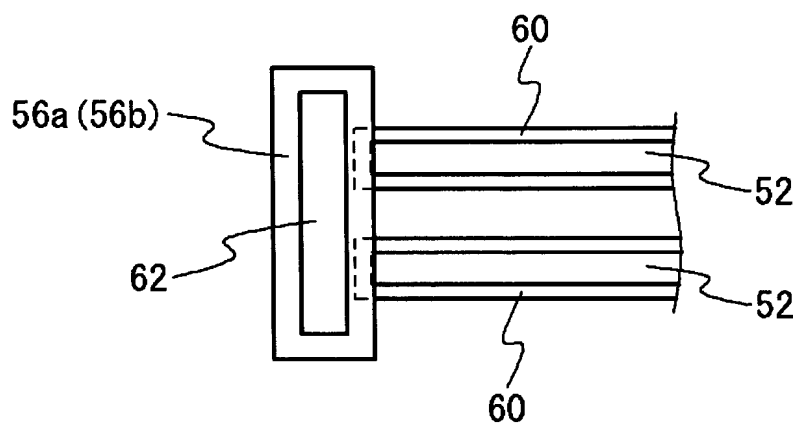
[図23]



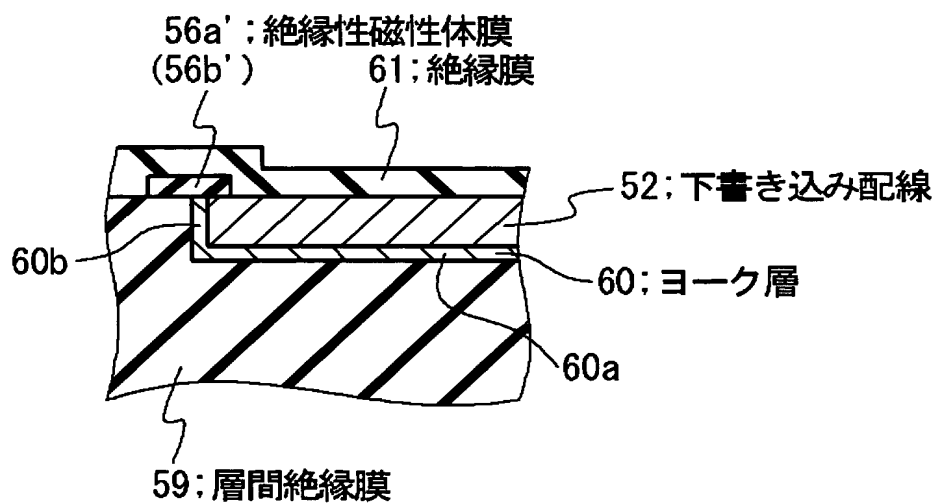
[図24]



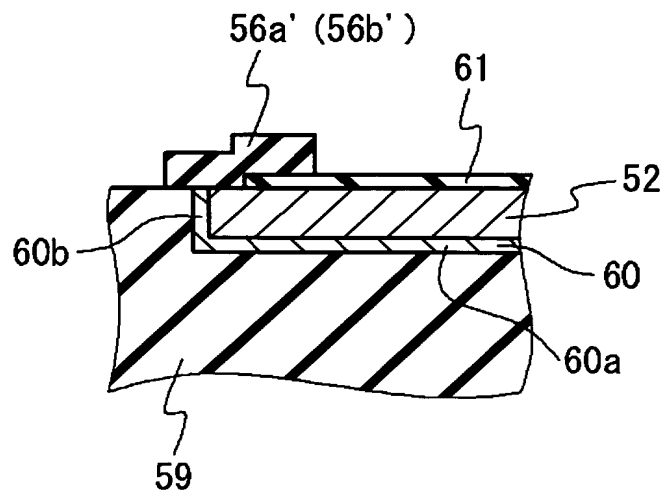
[図25]



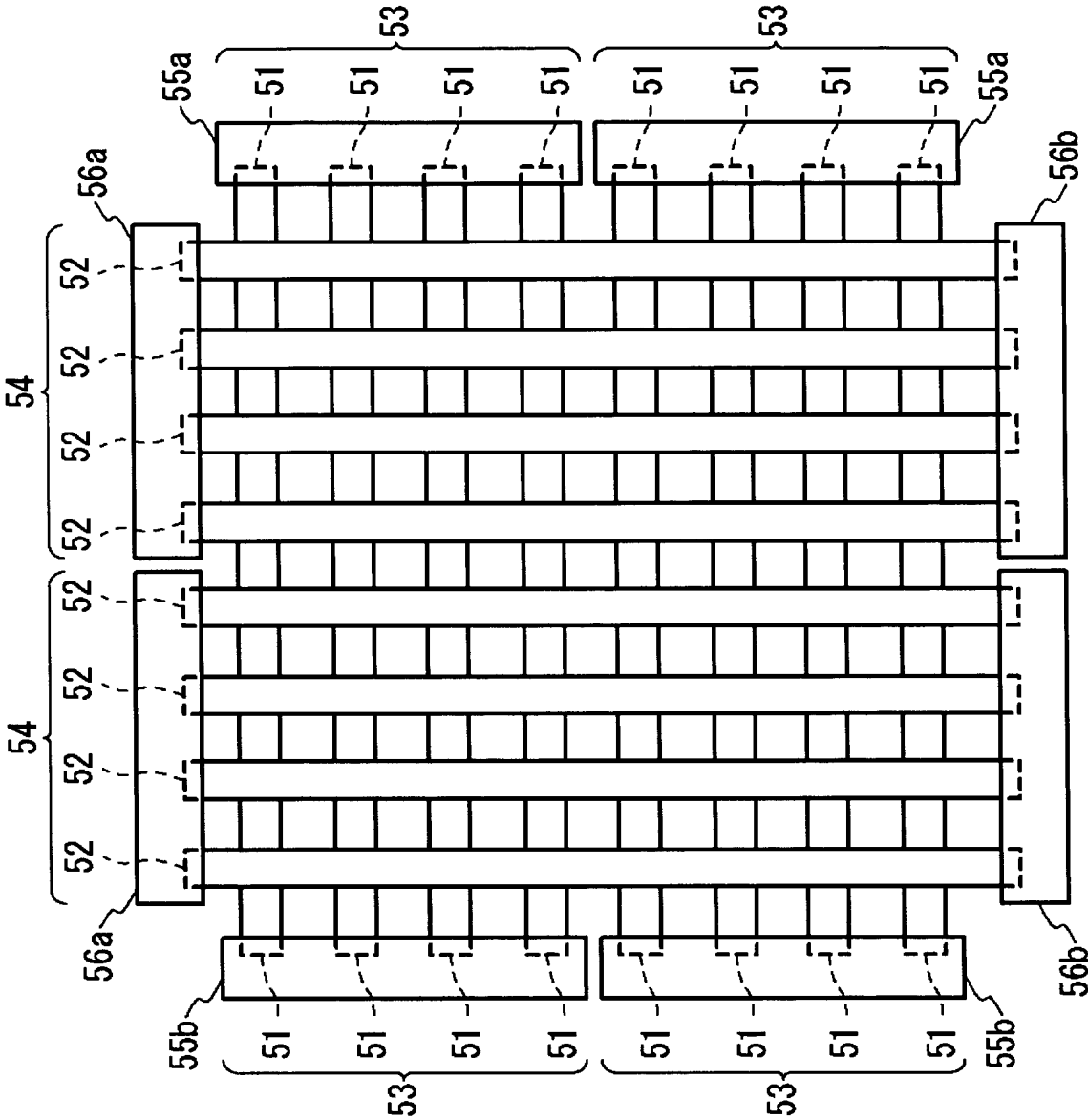
[図26]



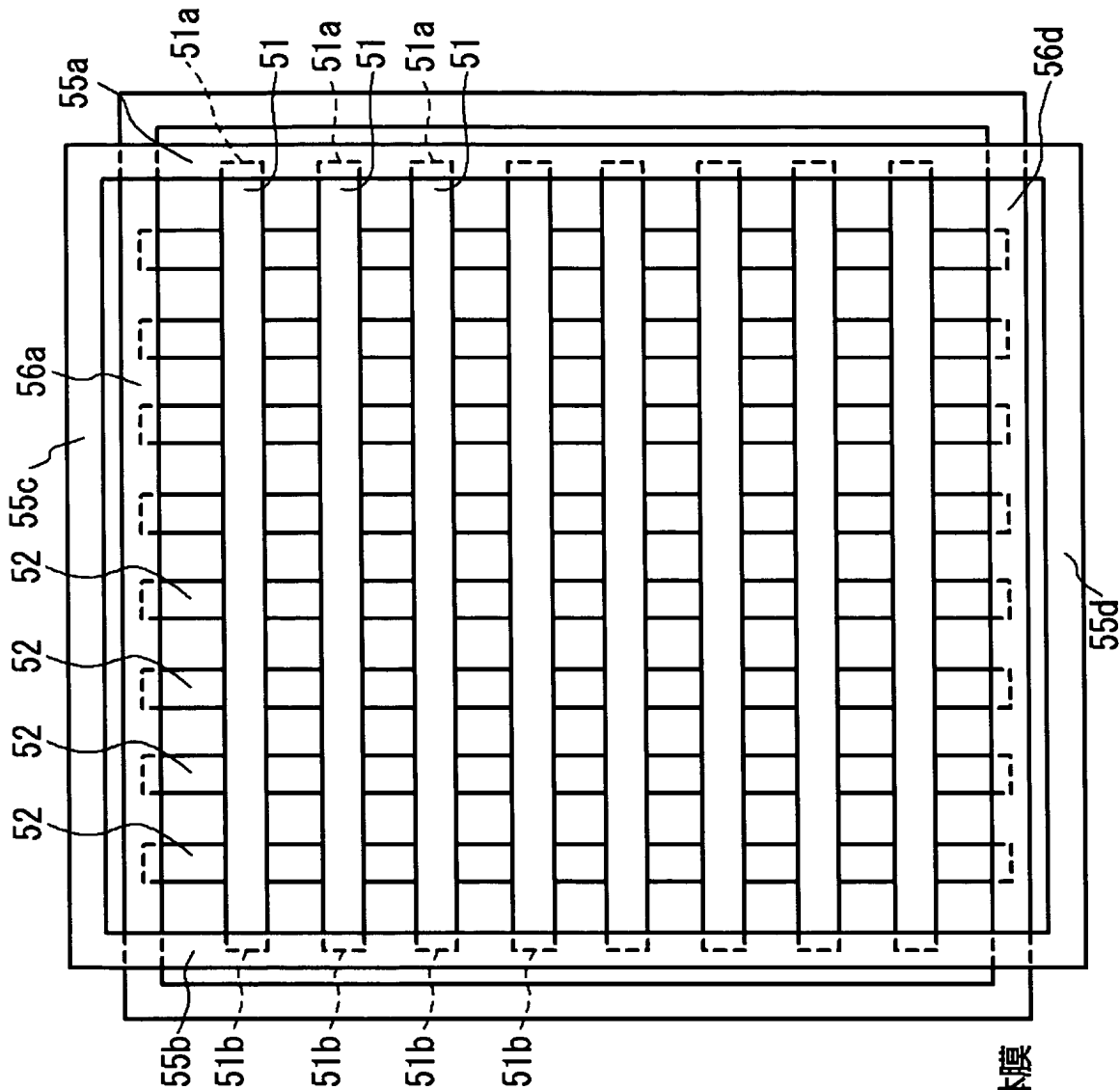
[図27]



[図28]

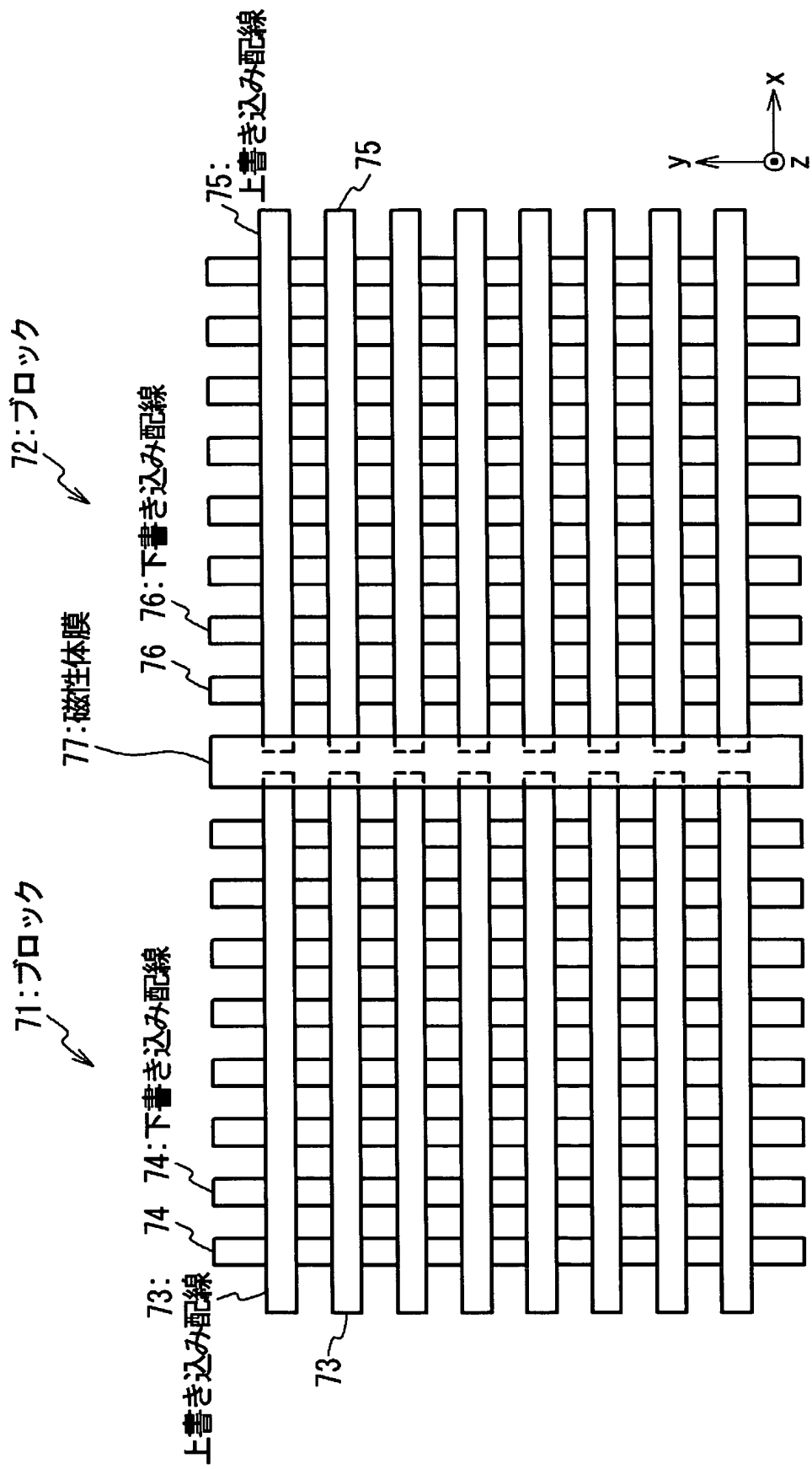


[図29]

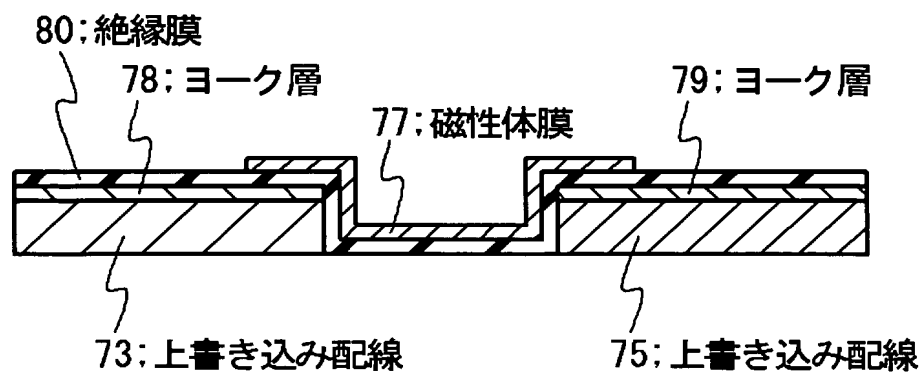


55c, 55d, 56c, 56d: 磁性体膜

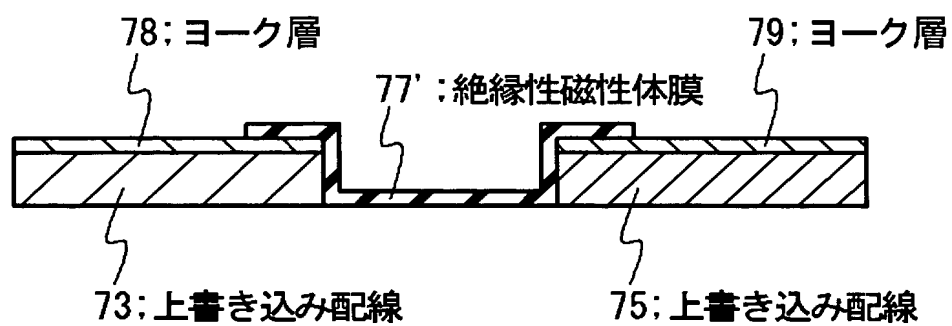
[図30]



[図31]

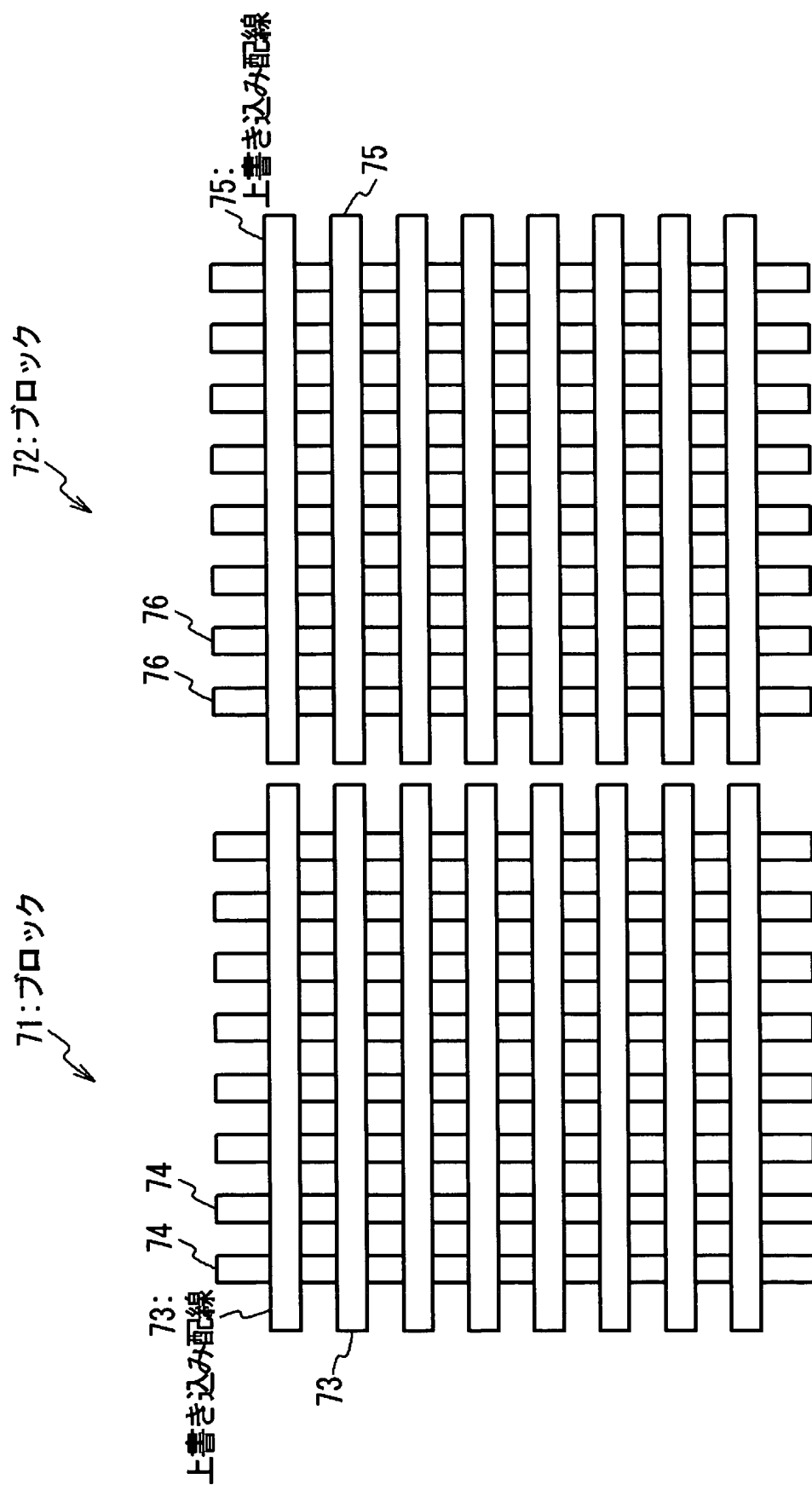


[図32]

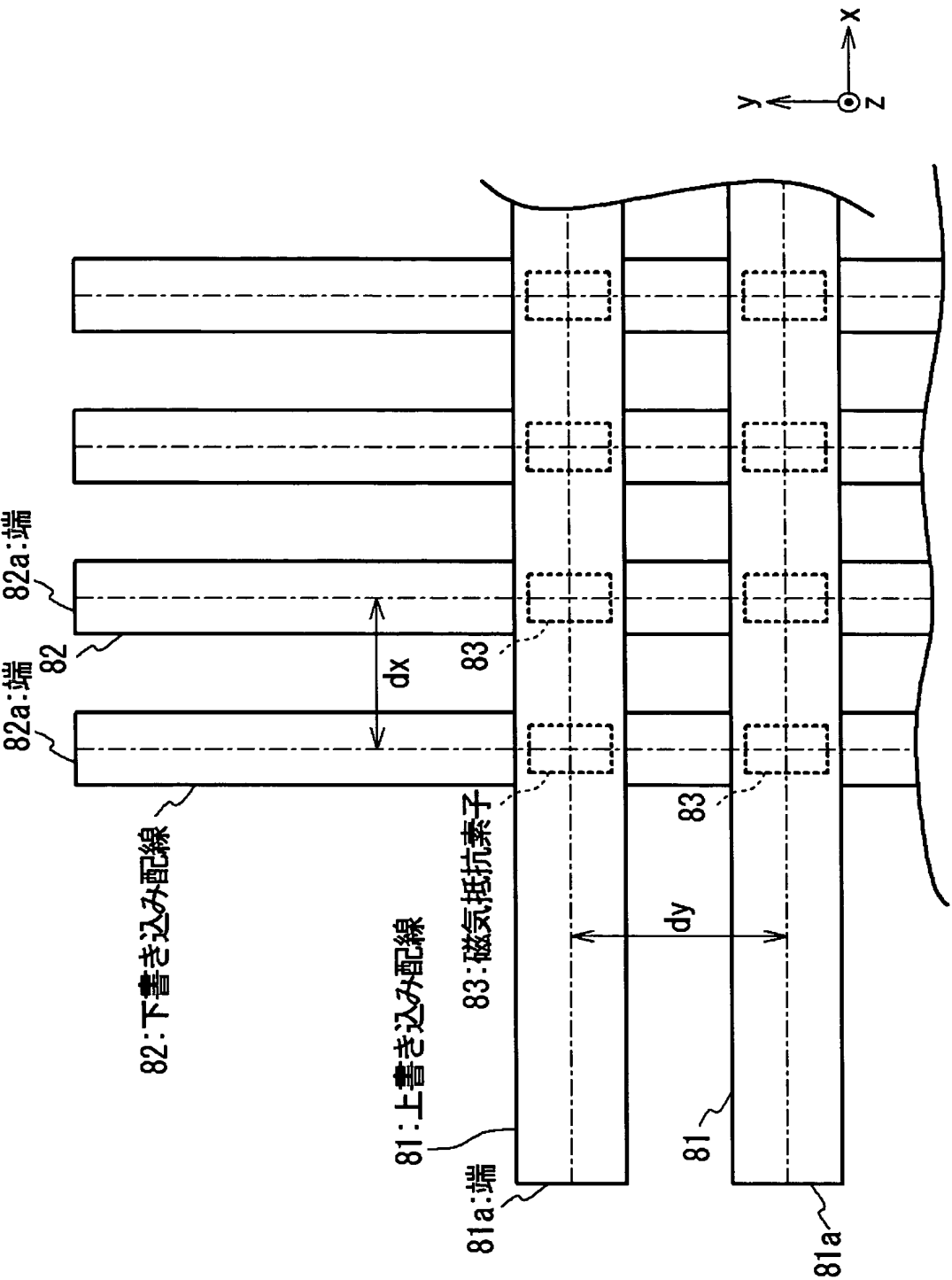




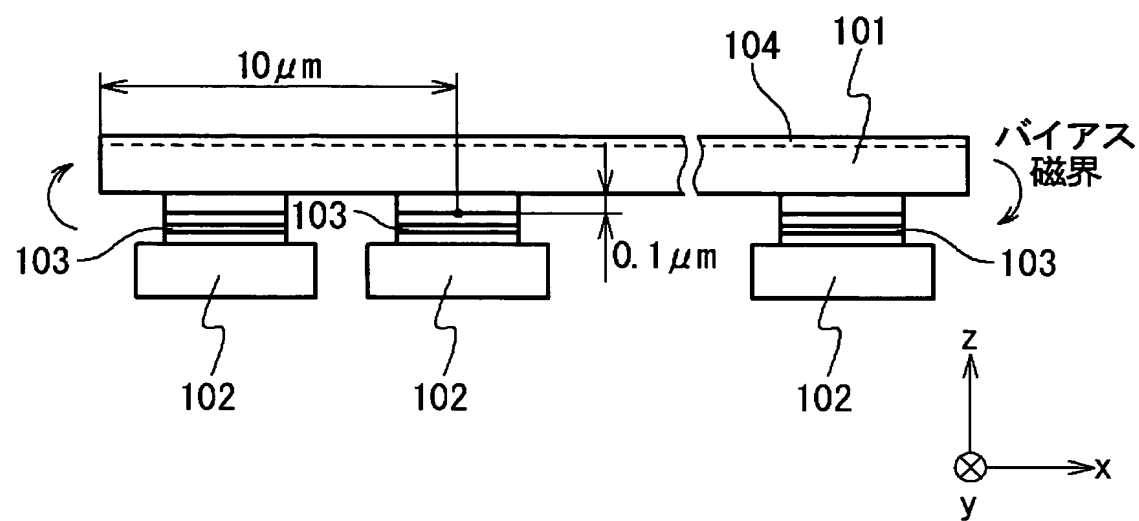
[図33]



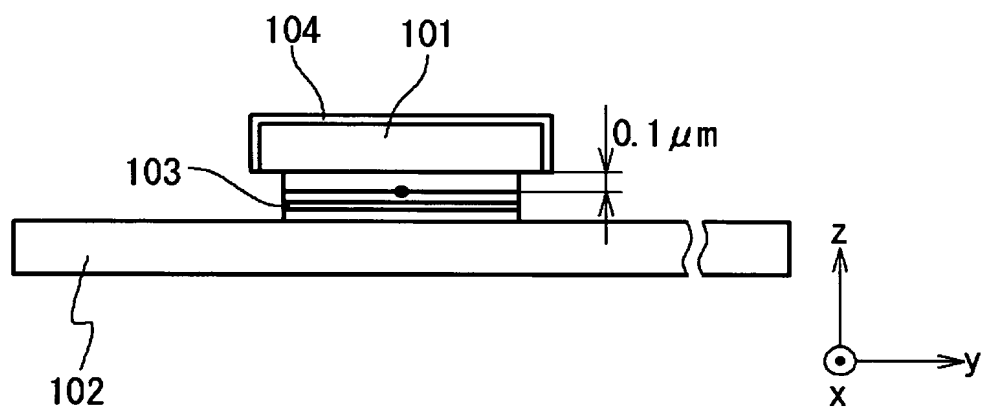
[図34]



[図35A]



[図35B]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008462

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L27/105, H01L43/08, G11C11/15

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L27/105, H01L43/08, G11C11/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2003/0111626 A1 (Keiji HOSOTANI), 19 June, 2003 (19.06.03), Figs. 1 to 60 & JP 2003-249630 A Figs. 1 to 60 & CN 1427414 A	1-18
A	US 6211090 B1 (Mark DURLAM), 03 April, 2001 (03.04.01), Figs. 1 to 9 & WO 2001/071777 A2 & JP 2003-528458 A	1-18

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
14 September, 2004 (14.09.04)

Date of mailing of the international search report  
05 October, 2004 (05.10.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/008462

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	Durlam M. et al., "A low power 1 Mbit MRAM based on 1T1MTJ bit cell integrated with Copper Interconnects", 2002 Symposium on VLSI Circuits Digest of Technical Papers, pages 158 to 161	1-18
A	JP 2002-289807 A (Toshiba Corp.), 11 October, 2002 (11.10.02), Fig. 1 & EP 1246191 A2 & US 2002/0141232 A1 & JP 2002-289807 A	1-18
A	JP 2002-280526 A (Matsushita Electric Industrial Co., Ltd.), 27 September, 2002 (27.09.02), Figs. 8, 17 & TW 544677 B & WO 2002/052650 A1 & EP 1359621 A1	1-18
A	JP 2002-522915 A (Infineon Technologies AG.), 23 July, 2002 (23.07.02), Figs. 1 to 8 & TW 432671 B & DE 19836567 A & WO 2000/10172 A2 & EP 1105878 A1 & US 2001/0050859 A1	1-18
A	JP 2002-110938 A (Toshiba Corp.), 12 April, 2002 (12.04.02), Figs. 1 to 16 & US 2002/0034094 A1 & US 2003/0137870 A1	1-18
A	JP 9-204770 A (Motorola, Inc.), 05 August, 1997 (05.08.97), Figs. 1 to 6 & EP 776011 A2 & US 5659499 A	1-18
A	JP 2001-273759 A (Sharp Corp.), 05 October, 2001 (05.10.01), Full text (Family: none)	1-18
P,A	JP 2003-209226 A (Toshiba Corp.), 25 July, 2003 (25.07.03), All drawings & US 2003/0161181 A1 & CN 1433021 A	1-18
P,A	JP 2004-179192 A (Toshiba Corp.), 24 June, 2004 (24.06.04), All drawings (Family: none)	1-18

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H01L 27/105, H01L 43/08, G11C 11/15

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
Int. Cl<sup>7</sup> H01L 27/105, H01L 43/08, G11C 11/15

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2004年
日本国実用新案登録公報	1996-2004年
日本国登録実用新案公報	1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US 2003/0111626 A1(Keiji HOSOTANI) 2003.06.19 第1図-第60図 & JP 2003-249630 A, 第1図-第60図 & CN 1427414 A	1-18
A	US 6211090 B1(Mark DURLAM) 2001.04.03 第1図-第9図 & WO 2001/071777 A2 & JP 2003-528458 A	1-18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

14.09.2004

国際調査報告の発送日

05.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4M 9276

電話番号 03-3581-1101 内線 3460

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	Durlam M. et al. "A low power 1 Mbit MRAM based on 1T1MTJ bit cell integrated with Copper Interconnects", 2002 Symposium on VLSI Circuits Digest of Technical Papers, pages. 158-161	1-18
A	JP 2002-289807 A(株式会社東芝) 2002. 10. 11 第1図 & EP 1246191 A2 & US 2002/0141232 A1 & JP 2002-289807 A	1-18
A	JP 2002-280526 A(松下電器産業株式会社) 2002. 09. 27 第8図、第17図 & TW 544677 B & WO 2002/052650 A1 & EP 1359621 A1	1-18
A	JP 2002-522915 A(インフィネオン テクノロジース アクチエン ゲゼルシャフト) 2002. 07. 23 第1図-第8図 & TW 432671 B & DE 19836567 A & WO 2000/10172 A2 & EP 1105878 A1 & US 2001/0050859 A1	1-18
A	JP 2002-110938 A(株式会社東芝) 2002. 04. 12 第1図-第16図 & US 2002/0034094 A1 & US 2003/0137870 A1	1-18
A	JP 9-204770 A(モトローラ・インコーポレイテッド) 1997. 08. 05 第1図-第6図 & EP 776011 A2 & US 5659499 A	1-18
A	JP 2001-273759 A(シャープ株式会社) 2001. 10. 05 全文 (ファミリーなし)	1-18
PA	JP 2003-209226 A(株式会社東芝) 2003. 07. 25 全図 & US 2003/0161181 A1 & CN 1433021 A	1-18
PA	JP 2004-179192 A(株式会社東芝) 2004. 06. 24 全図 (ファミリーなし)	1-18